



<p>(51) 国際特許分類6 H01L 27/08</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/25307</p> <p>(43) 国際公開日 1998年6月11日(11.06.98)</p>
<p>(21) 国際出願番号 PCT/JP97/04344</p> <p>(22) 国際出願日 1997年11月27日(27.11.97)</p> <p>(30) 優先権データ 特願平8/324465 1996年12月4日(04.12.96)</p> <p>(71) 出願人 (米国を除くすべての指定国について) シャープ株式会社(SHARP KABUSHIKI KAISHA)[JP/JP] 〒545 大阪府大阪市阿倍野区長池町22番22号 Osaka, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 岩田 浩(IWATA, Hiroshi)[JP/JP] 〒636 奈良県生駒郡三郷町信貴ヶ丘2-4-13 Nara, (JP) 柿本誠三(KAKIMOTO, Seizou)[JP/JP] 〒636-03 奈良県磯城郡川西町結崎636-1-309 Nara, (JP) 中野雅行(NAKANO, Masayuki)[JP/JP] 〒632 奈良県天理市柳本町861-1 A202 Nara, (JP) 松岡俊匡(MATSUOKA, Toshimasa)[JP/JP] 〒581 大阪府八尾市長池町5-7 Osaka, (JP)</p>		<p>(74) 代理人 弁理士 山本秀策(YAMAMOTO, Shusaku) 〒540 大阪府大阪市中央区城見一丁目2番27号 クリスタルタワー15階 Osaka, (JP)</p> <p>(81) 指定国 KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書 補正書</p>
<p>(54)Title: SEMICONDUCTOR DEVICE</p> <p>(54)発明の名称 半導体装置</p> <p>(57) Abstract</p> <p>A semiconductor device which materializes dynamic threshold operation, on the assumption of the application of a bulk semiconductor substrate. The semiconductor substrate has a first conductivity type well region (11), a source region (12) and a drain region (13) of second conductivity type are made in the vicinity of the surface of the first conductivity type of well region (11), a channel region (14) is provided between these regions (12 and 13), a gate insulating film (15) and a gate electrode (16) are stacked in order on the channel region (14), and the gate electrode (16) is connected to the well region (11) through the contact hole (not shown in the figure) of the gate insulating film (15). In this transistor, as compared with a conventional SOI substrate, the resistance of the well region (11) can be lowered to about one-tenth.</p> <div data-bbox="812 1218 1412 1869"> <p>B ... source C ... gate D ... drain</p> </div>		

(57) 要約

バルク半導体基板の適用を前提として、ダイナミックしきい値動作を実現する半導体装置を提供する。半導体基板は、第1導電型のウェル領域11を有しており、第1導電型のウェル領域11の表面近傍に、第2導電型のソース領域12及びドレイン領域13を形成し、これらの領域12, 13間にチャンネル領域14を設け、チャンネル領域14上にゲート絶縁膜15及びゲート電極16を順次積層し、ゲート電極16をゲート絶縁膜15のコンタクト孔（図示せず）を介してウェル領域11に接続している。このトランジスタにおいては、従来のSOI基板のものと比較して、ウェル領域11の抵抗を数十分の一程度に低下させることができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード（参考情報）

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GB	英国	LV	ラトヴィア	TD	チャド
AU	オーストラリア	GE	グルジア	MC	モナコ	TG	トーゴ
AZ	アゼルバイジャン	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BB	バルバドス	GM	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BE	ベルギー	GR	ギリシア	ML	マリ	TT	トリニダード・トバゴ
BG	ブルガリア	GU	グアム	MN	モンゴル	UA	ウクライナ
BJ	ベナン	IE	アイルランド	MR	モロッコ	UG	ウガンダ
BM	バハマ	IL	イスラエル	MW	モザンビーク	US	米国
BN	ブルネイ	IS	アイスランド	MX	メキシコ	UZ	ウズベキスタン
BO	ボリビア	IT	イタリア	NE	ニジェール	VN	ベトナム
BR	ブラジル	JP	日本	NL	オランダ	YU	ユーゴスラヴィア
BS	バハマ	KE	ケニア	NO	ノルウェー	ZW	ジンバブエ
BT	ブータン	KG	キルギス	NZ	ニュージーランド		
BV	バレンツ	KR	韓国	PL	ポーランド		
CA	カナダ	KW	クウェート	PT	ポルトガル		
CC	ココス（キリング）	KZ	カザフスタン	RO	ルーマニア		
CD	コンゴ民主共和国	LA	ラオス	RU	ロシア		
CE	セントヘレナ	LI	リヒテンシュタイン	SE	スウェーデン		
CF	中央アフリカ共和国	LK	スリランカ	SG	シンガポール		
CG	コンゴ共和国	LR	リベリア	SI	スロベニア		
CH	スイス	LS	レソト	SK	スロバキア		
CI	コートジボワール			SL	シエラレオネ		
CK	クック						
CM	カムロ						
CN	中国						
CO	コロンビア						
CZ	チェコ						
DE	ドイツ						
DK	デンマーク						
EE	エストニア						
EG	エジプト						

明 細 書

半導体装置

5 技術分野

この発明は、しきい値を動的に変化させることによって低い電源電圧で動作するトランジスタとしての半導体装置、もしくはその様なトランジスタを含む半導体装置に関する。また、この発明は、この半導体装置の集積化に適した素子分離技術にも関連する。

10

背景技術

CMOS回路（相補型の回路）においては、消費電力は電源電圧の2乗に比例するため、CMOSLSIの低消費電力化の実現には電源電圧の低減が有効である。しかし、電源電圧を低減すると、トランジスタの駆動力が減少するため、回路の遅延時間の増大が問題となる。この問題は、電源電圧を低減する程大きくなる。特に電源電圧がしきい値の3倍以下になると、この増大が著しくなることが知られている。

15

これを改善する一つの方法として、しきい値を低減することが考えられるが、しきい値の低減に伴い、ゲートオフ時のリーク電流の増大が起こるため、許容できるオフ電流によりしきい値の下限が規定されてしまう。

20

この様な問題を緩和するため、低電源電圧対応のトランジスタとして、トランジスタオン時に実効的なしきい値を低下させ、低電圧での高駆動力を実現するダイナミックしきい値動作トランジスタが提案されている（A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation, F. Assaderaghi et al, IEDM94 Ext. Abst. p809）。

25

このダイナミックしきい値動作トランジスタ（以下DTMOSと称す）の概略構造を図19に示す。ここでは、NMOSの場合を示しているが、極性を対称にすることによりPMOSの構成も可能である。

5 同図に示す様にSOI基板1を用い、オーバーサイズされた金属配線2によってゲート3と基板1を局所的に短絡している。ゲート3と基板1を短絡することが本質的な要素であり、短絡の方法は、この構造に限らない。

この様にゲートと基板を短絡した構造で、ゲートバイアスを印加すると、基板活性領域にゲートバイアスと同じ大きさの順方向バイアスが印加される。これによって、ゲートオフ時には、通常トランジスタと同じバイアス状態となり、また
10 ゲートオン時には、ゲートバイアスが增大するに連れて、基板が順方向バイアスされ、この結果、しきい値が低下する。

ただし、この構造の場合、スタンバイ電流を抑制するために、ゲートに印加する電圧は、横方向の寄生バイポーラトランジスタがオンする電圧の0.6V程度以下に制限する必要がある。

15 この様なDTMOSは、SOI基板に形成された同じチャネル状態の通常のトランジスタに比べて、ゲートバイアス（＝ボディーバイアス）のオフ時に、そのリーク電流が同等となる。また、DTMOSがオンしている時には、ゲートバイアス（＝ボディーバイアス）が増大するに伴って、更にしきい値が減少するので、ゲートオーバードライブ効果が増大し、駆動力が著しく増大する。基板表面における縦方向電界の抑制によって、移動度劣化が抑制されることも、駆動力の増大に寄与する。しかも、横方向の寄生バイポーラトランジスタはオフしているため、
20 スタンバイ電流の著しい増大は抑制される。

しかし、上記従来のDTMOSにおいては、SOI基板を用いているため、ボディーの膜厚（チャネル領域の深さ）が非常に薄く（50nm～200nm）、
25 非常に高抵抗となる。このため、ゲートとボディーをコンタクトを介して短絡しても、このコンタクトから離れるに従ってボディーに電位が伝わり難く、CR時

定数が大きくなり、トランジェントな動作を考えたときDTMOSとしての効果が抑制され、高速で動作できなくなる。

そこで、この発明は、この様な従来技術の課題を解決するものであって、SOI基板のボディー抵抗の増大を解決するために、バルク半導体基板の適用を前提として、ダイナミックしきい値動作を実現する半導体装置を提供することを目的とする。

発明の開示

まず、この発明を説明するに先立ち、この発明の前提となる半導体装置の構造を述べる。

この発明の前提となる半導体装置とは、半導体基板と、該半導体基板に形成された第1導電型のウェル領域と、該第1導電型のウェル領域に形成された第2導電型のソース領域及びドレイン領域と、該ソース領域及びドレイン領域の間に形成されたチャンネル領域と、該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備え、該ゲート電極を該ゲート電極に対応するウェル領域と電氣的に接続すると言うものである。

この様な構造においては、ウェル領域の抵抗が上記従来のSOI基板のボディー抵抗に相当しており、このウェル領域の抵抗を非常に小さくできる。

詳しくは、上記SOI基板のボディーは、その幅がゲート長と同じになり、その長さがゲート幅と同じになる。また、先に述べた様に、その厚みが50nm～200nmと非常に薄く、その抵抗が非常に高くなる。例えば、ボディーの濃度（チャンネル濃度であり、トランジスタのしきい値を低くする必要上、高濃度にはできない）を $1 \times 10^{17} / \text{cm}^3$ 、ボディーの膜圧を100nmとすれば、シート抵抗は約10K Ω となり、ゲート長を0.2 μm とし、ゲート幅を10 μm した場合、アスペクト比が50となり、抵抗値は、シート抵抗の50倍の500K Ω となる。

これに対し、この発明の前提となる半導体装置では、ウェル領域の深さを自由に設定することができる。

また、例えばウェル領域の幅は、ソース領域、ドレイン領域及びゲート領域の占有分を少なくとも必要とし、コンタクト領域をソース領域及びドレイン領域に設けることを考えれば、ソース領域、ドレイン領域をゲート長の3倍の幅にそれぞれ設定するのが妥当である。つまり、ウェル領域の最小限度の幅は、ソース領域の幅、ドレイン領域の幅及びゲート領域の長さを足し合わせた分を必要とし、ゲート領域の7倍の長さが妥当である。

このウェル領域の長さをゲート領域の幅と等しいと考えた場合、アスペクト比は、 $1/7$ となる。

また、ウェル領域の濃度がSOI基板のボディーの濃度の同じとした場合でも、このウェル領域が深さ方向に制限されないので、妥当な範囲で $1\mu\text{m}$ の深さとしても、このウェル領域のシート抵抗は、SOI基板のボディーのものと比較すると、 $1/10$ となる。

これらのアスペクト比とシート抵抗を考慮すると、このウェル領域は、SOI基板のボディー抵抗に比べて、 $1/70$ 程度の低抵抗化が可能となる。

次に、この様な構造の半導体装置を前提として、上記課題を解決するための、この発明の半導体装置を説明する。

請求項1に記載の半導体装置においては、半導体基板と、該半導体基板に形成された第1導電型の深いウェル領域と、該深いウェル領域に形成された第2導電型の浅いウェル領域と、該浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、該ソース領域及びドレイン領域の間に形成されたチャネル領域と、該チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備え、該ゲート電極は、該ゲート電極に対応する該浅いウェル領域と電氣的に接続され、該浅いウェル領域は、該半導体表面で隣接する他の浅いウェル領域から電氣的に分離されており、不純物濃度の濃い領域を不純

物濃度の薄い領域によって挟み込んだ構造を有している。

この様に浅いウェル領域を不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造とした場合、ウェル領域の抵抗を更に小さくすることができる。この様な構造においては、チャネル側の薄い領域によってしきい値を低くしたまま、かつソース領域及びドレイン領域の寄生容量を大きくすることなく（ソース領域及びドレイン領域との接合部における浅いウェル領域の不純物濃度が濃いと、空乏層が延びず、接合容量が大きくなる）、更に深いウェル領域側に在る浅いウェル領域の薄い領域と深いウェル領域の間の寄生容量を増大させることなく、浅いウェル領域の中央の濃い領域によって、ウェル領域の抵抗を効果的に下げることが可能となる。

中央の濃い領域の濃度にもよるが、シート抵抗を数十 Ω まで低くすることが可能である。この場合、従来のSOI基板のボディー低抗と比較して、浅いウェル領域は、シート抵抗で $1/100 \sim 1/1000$ 程度となるため、アスペクト比を $1/7$ とすると、その抵抗を $1/700 \sim 1/7000$ 程度まで低くすることができる。

また、ここでは、浅いウェル領域を半導体表面で隣接する他の浅いウェル領域から電氣的に分離している。この構造は、この発明においてはゲート電極と浅いウェル領域を電氣的に接続することを基本構成とするので、複数素子からなる回路構成を前提とした場合に必要となる。

請求項1に記載の半導体装置では、請求項2に示す様に、隣接する浅いウェル領域は、該浅いウェル領域よりも深く、深いウェル領域よりも浅い溝型分離構造によって電氣的に分離されていることが望ましい。この構造により、バルク半導体基板内で占めるトランジスタ1個の専有面積をSOI基板上に形成されたDTMOSと同等にすることが可能となる。

次に、請求項3に記載の半導体装置においては、半導体基板と、該半導体基板に形成された第1導電型の更に深いウェル領域と、該更に深いウェル領域に形成

された第2導電型の深いウェル領域と、該第2導電型の深いウェル領域に形成された第1導電型の浅いウェル領域と、該浅いウェル領域に形成された第2導電型のソース領域及びドレイン領域と、該ソース領域及びドレイン領域の間に形成されたチャンネル領域と、該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備え、該ゲート電極は、該ゲート電極に対応する該浅いウェル領域と電氣的に接続され、該深いウェル領域及び該浅いウェル領域は、隣接する他の深いウェル領域及び他の浅いウェル領域から電氣的に分離され、該浅いウェル領域は、不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造を有している。

10 この様な構成においては、隣接する各深いウェル領域間に、更に深いウェル領域を介在させて、隣接する該各深いウェル領域を電氣的に分離することが可能となる。特に、1つの半導体基板上にp型とn型の深いウェル領域を伴うような相補型の素子を構成した場合、逆導電型の更に深いウェルによって、各深いウェル領域間が分離されるため、n型の深いウェル領域をGNDに接地し、p型の深いウェル領域を電源電圧に設定することが可能となる。

15 一方、この発明の前提となる先に述べた半導体装置においては、1つの半導体基板上にp型とn型の深いウェル領域を伴うような相補型の素子を構成した場合、p型とn型の深いウェル領域が接触することとなるため、深いウェル領域間でPN接合が形成される。これが制約となり、n型の深いウェル領域を電源電圧に設定し、p型の深いウェル領域をGNDに接地する必要がある（n型の深いウェル領域をGNDに接地し、p型の深いウェル領域を電源電圧に固定すると、素子動作と関係なく順方向電流が流れ続ける）。

20 請求項3に記載の半導体装置では、請求項4に示す様に、隣接する深いウェル領域及び浅いウェル領域は、深いウェル領域よりも深く、更に深いウェル領域よりも浅い溝型分離構造によって電氣的に分離されることが望ましい。この構造により、バルク半導体基板内で占めるトランジスタ1個の専有面積をSOI基板上

に形成されたDTMOSと同等にすることが可能となるという作用がある。

請求項5に示す様に、請求項1又は3に記載の半導体装置によって相補型の回路を構成すると、従来通りのMOSFETによって構成されるCMOSロジックの設計をそのまま利用することができる。また、この発明の半導体装置は、先に
5 述べたダイナミックしきい値動作を実現するものなので、非常に低消費電力で高速動作するデバイスを実現することが可能となる。

これに対して、従来のSOI基板を用いたDTMOSによって構成されたCMOSロジックでは、前述したようにあまりにもボディ抵抗が大きすぎ、高速動作が不可能であり、トランジェントな動作に追従できず、DTMOSの効果が望
10 めない。

次に、請求項6に記載の半導体装置においては、第1導電型の半導体基板と、該半導体基板に形成された溝型分離領域と、該溝型分離領域により分離された複数の島状の活性領域と、各島状の活性領域のうちの少なくとも1つに形成され、上記溝型分離領域によって包囲された第2導電型の深いウェル領域と、該溝型分離領域によって包囲された該深いウェル領域が存在する島状の活性領域に対して
15 与えられ、該溝型分離領域によって包囲された第1導電型の浅いウェル領域と、該溝型分離領域によって包囲された該深いウェル領域が存在しない島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第2導電型の浅いウェル領域と、該第1導電型の浅いウェル領域に形成された第2導電型のソース領域
20 及びドレイン領域と、該第2導電型の浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、該第1、第2導電型のソース領域及びドレイン領域の間に形成された各チャンネル領域と、該各チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成された各ゲート電極とを備え、該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に接続され、該
25 第1及び第2導電型の浅いウェル領域、及び第2導電型の深いウェル領域は、隣接する他の第1及び第2導電型の浅いウェル領域、及び他の第2導電型の深いウ

ェル領域から電氣的に分離されている。

また、請求項 7 に記載の半導体装置においては、半導体基板と、該半導体基板に形成された第 1 導電型の更に深いウェル領域と、該更に深いウェル領域に形成された溝型分離領域と、該溝型分離領域により分離された複数の島状の活性領域と、各島状の活性領域のうちの少なくとも 1 つに形成され、上記溝型分離領域によって包囲された第 2 導電型の深いウェル領域と、該溝型分離領域によって包囲された該深いウェル領域が存在する島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第 1 導電型の浅いウェル領域と、該溝型分離領域によって包囲された該深いウェル領域が存在しない島状の活性領域に対して与えられ、
10 該溝型分離領域によって包囲された第 2 導電型の浅いウェル領域と、該第 1 導電型の浅いウェル領域に形成された第 2 導電型のソース領域及びドレイン領域と、該第 2 導電型の浅いウェル領域に形成された第 1 導電型のソース領域及びドレイン領域と、該第 1、第 2 導電型のソース領域及びドレイン領域の間に形成された各チャネル領域と、該各チャネル領域上に形成されたゲート絶縁膜と、該ゲート
15 絶縁膜上に形成された各ゲート電極とを備え、該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に接続され、該第 1 及び第 2 導電型の浅いウェル領域、及び第 2 導電型の深いウェル領域は、隣接する他の第 1 及び第 2 導電型の浅いウェル領域、及び他の第 2 導電型の深いウェル領域から電氣的に分離されている。

20 更に、請求項 8 に記載の半導体装置においては、第 1 導電型の半導体基板と、該半導体基板に形成された溝型分離領域と、該溝型分離領域により分離された複数の島状の活性領域と、各島状の活性領域のうちの少なくとも 1 つに形成され、上記溝型分離領域によって包囲された第 1 導電型の深いウェル領域と、第 1 導電型の深いウェルが存在しない他の島状の活性領域に形成され、上記溝型分離領域によって包囲された第 2 導電型の深いウェル領域と、該第 1 導電型の深いウェル領域上部に形成され、上記溝型分離領域によって包囲された第 2 導電型の浅いウェ
25

ル領域と、該第2導電型の深いウェル領域上部に形成され、上記溝型分離領域によって包囲された第1導電型の浅いウェル領域と、該第1導電型の浅いウェル領域に形成された第2導電型のソース領域及びドレイン領域と、該第2導電型の浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、該第1、
5 第2導電型のソース領域及びドレイン領域の間に形成された各チャネル領域と、該各チャネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成された各ゲート電極とを備え、該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に接続され、該第1及び第2導電型の浅いウェル領域、及び第1及び第2導電型の深いウェル領域は、隣接する他の第1及び第2導電型の
10 浅いウェル領域、及び他の第1及び第2導電型の深いウェル領域から電氣的に分離されている。

これらの請求項6、7及び8の構成は、相補型の回路を実現するには好ましいものであって、トランジスタの専有面積を大きくすることなく、各ウェル領域間のバウンダリルール（nウェルとpウェル間において、ラッチアップが起こらない様にある一定間隔以上を離間させねばならない）を設けることなく自由にn
15 チャネル型とpチャネル型の素子を構成することが可能となる。

図面の簡単な説明

- 図1は、この発明の前提となる半導体装置を概略的に示す図である。
- 20 図2は、従来のDTMOSを概略的に示す図である。
- 図3は、この発明の半導体装置の第1実施形態を概略的に示す図である。
- 図4は、この発明のトランジスタにおける浅いウェル領域の電位を変化させた時のゲート電圧とドレイン電流の関係を示すグラフである。
- 図5は、この発明の半導体装置の第2実施形態を示しており、（a）は平面図、
25 （b）は（a）におけるb-b'に沿う断面図、（c）は（a）におけるc-c'に沿う断面図、（d）は（a）におけるd-d'に沿う断面図である。

図6は、図5に示す様に構成されたnチャネルトランジスタのゲート電圧とドレイン電流の関係を示すグラフである。

図7は、図5に示す様に構成されたpチャネルトランジスタのゲート電圧とドレイン電流の関係を示すグラフである。

- 5 図8は、図5の半導体装置の変形例を示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図、(c)は(a)におけるc-c'に沿う断面図、(d)は(a)におけるd-d'に沿う断面図である。

図9は、この発明のトランジスタの配線および寄生バイポーラトランジスタを模式的に示す図である。

- 10 図10は、この発明の半導体装置の第3実施形態を概略的に示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図、(c)は(a)におけるc-c'に沿う断面図、(d)は(a)におけるd-d'に沿う断面図である。

- 15 図11は、この発明の半導体装置の第4実施形態を概略的に示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。

図12は、図11の半導体装置の変形例を示す断面図である。

図13は、図11の半導体装置の他の変形例を示す断面図である。

- 20 図14は、この発明の半導体装置の第5実施形態を概略的に示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。

- 20 図15は、この発明の半導体装置の第6実施形態を概略的に示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。

- 図16は、この発明の半導体装置の第7実施形態を概略的に示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。

- 25 図17は、図16の半導体装置の変形例を示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。

図18は、この発明の半導体装置の一実施例を示しており、(a)は断面図、

(b) 及び (c) は (a) における a-a' に沿う実効キャリア濃度を示すグラフである。

図 19 は、従来の DTMOS を模式的に示す図である。

5 発明を実施するための最良の形態

まず、この発明の理解を容易にするために、この発明の前提となる半導体装置の概略構造を図 1 を参照して説明する。

図 1 において、半導体装置（以下トランジスタとも言う）の半導体基板（バルク半導体基板）は、第 1 導電型のウェル領域 11 を有しており、この第 1 導電型のウェル領域 11 の表面近傍に、第 2 導電型のソース領域 12 及びドレイン領域 13 を形成し、これらの領域 12, 13 間にチャンネル領域 14 を設け、このチャンネル領域 14 上にゲート絶縁膜 15 及びゲート電極 16 を順次積層し、ゲート電極 16 をゲート絶縁膜 15 のコンタクト孔（図示せず）を介してウェル領域 11 に接続している。

ここでは、配線を接続するコンタクト孔を形成するために、ソース領域 12 及びドレイン領域 13 に十分な面積を必要とすることから、常識的な寸法、つまりソース領域 12 及びドレイン領域 13 の幅として、ゲート長 L（一般的な最小加工寸法）の 3 倍を設定する。また、ゲート幅を w、チャンネル領域 14 の深さを d1、ウェル領域 11 の深さを d1 + d2、ウェル領域 11 の抵抗率を ρ とする。そして、チャンネル領域 14 の抵抗を R1、ソース領域 12、ドレイン領域 13 及びチャンネル領域 14 の下方の領域の抵抗を R2 とすると、ウェル領域 11 の抵抗 R は、次式（1）で表される。

$$R = \frac{1}{\frac{1}{R_1} + \frac{1}{R_2}} \quad \dots \text{式 (1)}$$

$$= \frac{1}{\frac{W}{L} \frac{\rho}{d_1} + \frac{W}{7L} \frac{\rho}{d_2}} = \frac{W\rho}{L(d_1+7d_2)} \text{ ----- (1)}$$

5 一方、図19に示す従来のSOI基板のDTMOSを図2に示す様に形成して、このDTMOSのソース領域、ドレイン領域及びチャネル領域の寸法、及びその構造を図1の装置と一致させ、ボディーの濃度をウェル領域11のものと等しくして、ボディーの抵抗率を ρ とすると、ボディー抵抗 R_0 は、次式(2)で表される。

10

$$R_0 = \frac{W}{L} \frac{\rho}{d_1} \text{ ----- (2)}$$

これらの式からも明らかな様に、チャネル領域14の深さと、ボディーの膜圧を共に d_1 で表し、両者を共に等しく、例えば100nmに設定する。また、ウェル領域11の深さ $d_1 + d_2$ を1 μ mに設定する。この場合、 $d_1 = 9d_2$ であって、ウェル領域11の抵抗 R は、次式(3)で表される。

15

$$R = \frac{W\rho}{L(d_1+63d_1)} = \frac{W\rho}{64Ld_1} = \frac{R_0}{64} \text{ ----- (3)}$$

20

したがって、この発明の前提となるトランジスタにおいては、従来のSOI基板と比較して、ウェル領域11の抵抗 R を1/64に低下させることができる。

なお、ウェル領域11の濃度、及び従来のSOI基板のボディーの濃度は、平均濃度として、 $1 \times 10^{17} / \text{cm}^2$ を考えた。ただし、後者のSOI基板のボディー濃度は、しきい値と直接関係しており、しきい値により制限を受ける。

25

また、ここに示すウェル領域11、ソース領域12、ドレイン領域13及びチ

チャンネル領域14等の寸法は、一例に過ぎず、多様に変更し得るものである。

図3は、この発明の半導体装置の第1実施形態を概略的に示している。なお、同図において、図1と同様の作用を果たす部位には同じ符号を付す。

この第1実施形態の装置は、請求項1に記載の装置に対応する。

5 ここでは、ウェル領域11は、不純物濃度の濃い領域17を不純物濃度の薄い領域18によって挟み込んだ構造を有し、この構造によって更なる抵抗の低減を果たしている。また、このウェル領域11は、半導体基板表面で隣接する他の浅いウェル領域から電氣的に分離される。

従来のSOI基板では、先に述べた様にボディー濃度がしきい値に直接作用するため、ボディー濃度を高めることができない。

これに対して、この実施形態の様にバルク半導体基板を用いた場合、ウェル領域のチャンネル領域以外の領域の不純物濃度を高めることによって、しきい値に関係なく、ウェル領域の抵抗を自由に設定することが可能となる。例えば、不純物濃度と抵抗の関係は、「Physics of Semiconductor
15 Devices, 2nd Edition: 著者 S. M. Sze」の本文32ページの中で述べられており、不純物濃度に応じて抵抗を飛躍的に変化させることができる。立方センチ当たり、 10^{17} 乗と 10^{19} 乗の濃度の違いでは、1.5～2桁程度抵抗の差が生じる。（もちろん高濃度ほど抵抗は低くなる）。

例えば、第1実施形態において、 $1 \times 10^{17} / \text{cm}^3$ のウェル領域11の中に、
20 $1 \times 10^{19} / \text{cm}^3$ の濃度の濃い領域17を形成した場合、図1のものと比較すると、更に一桁以上の低抵抗化がはかれる。濃度の濃い領域17は、チャンネル領域14から離れた箇所に埋め込まれて存在しているため、しきい値に影響を与えない。

ここで、この発明のトランジスタの基本的な動作を解析する。

25 まず、通常のMOSFETのしきい値 V_{th} と浅いウェル領域のバイアス($V_{S_{well}}$)との関係を簡略化した次式(4)に示す。

$$V_{th} = 2\phi_b + \frac{\sqrt{2qN_{s-well}\epsilon_s(2\phi_b - V_{s-well})}}{C_{ox}} + V_{FB} \text{ ----- (4)}$$

- 5 ただし、 Φ_b はフェルミポテンシャル、 N_{S-well} は浅いウェル領域の不純物濃度、 ϵ_s は浅いウェル領域の誘電率、 q は電子の電荷量、 C_{ox} は単位面積当たりのゲート絶縁膜容量、 V_{FB} はフラットバンド電圧である。

浅いウェル領域が順方向にバイアスされた場合、上記式(4)より、しきい値の絶対値が小さくなることがわかる。

- 10 簡略化した駆動電流の式は、線形領域では、次式(5)で示される。

$$I_D = \frac{W}{L} \mu_{eff} C_{ox} \left[(V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \text{ ----- (5)}$$

また、飽和領域では、次式(6)で示される。

15

$$I_D = \frac{1}{2} \frac{W}{L} \mu_{eff} C_{ox} (V_{GS} - V_{th})^2 \text{ ----- (6)}$$

- ただし、 I_D はドレイン電流、 W はゲート幅、 L はゲート長、 μ_{eff} は実効移動度、 V_{GS} はソース電位に対するゲート電位、 V_{DS} はソース電位に対するドレイン電位である。
- 20

図4のグラフは、浅いウェル領域の電位を変化させた時のゲート電圧とドレイン電流の関係を示す。ここで、ゲート電圧とは、ソース領域の電位に対するゲート電極の電位を指すものとする。

- 駆動電流が各式(5)、(6)の様に表されるため、しきい値 V_{th} の絶対値が
- 25 小さくなると、飛躍的に低い電源電圧で大きな駆動電流を得ることが可能となる。

この発明のトランジスタでは、ゲート電極と浅いウェル領域を接続しているの

で、ゲート電位が変位するに従って浅いウェル領域の電位が変位する。このため、上記式からも明らかな様に、ゲート電位の変化（nチャネルトランジスタの場合、ソース電位に対して正の電位をゲート電極に印加し、pチャネルトランジスタの場合、ソース電位に対して負の電位をゲートに印加する）と共に、浅いウェル領域が順方向にバイアスされ、見かけ上のしきい値 V_{th}' が低下する。この結果、低電源電圧でも大きな駆動電流を稼ぐことが可能になる。特に、電源電圧が小さい場合はその影響が大きい。

したがって、この発明のトランジスタのしきい値 V_{th}'' は、次の各式（４），（７）からなる連立方程式の解として求められる。

$$V_{th} = 2\phi_b + \frac{\sqrt{2qN_{s-well}\epsilon_s(2\phi_b - V_{s-well})}}{C_{ox}} + V_{FB} \quad (4)$$

$$V_{th} = V_{GS} = V_{s-well} \quad (7)$$

ところで、上記式（６）は、飽和領域におけるドレイン電流（回路のスピードは、この電流量とCR時定数で決まる）を表した式であって、この式（６）における V_{th} は、ウェル領域の電位 V_{s-well} が電源電圧のときのものである。通常のMOSFETでは、ウェル領域とソース領域は同電位であり、ゲート電圧が変化しても、しきい値は一定であるが、この発明のトランジスタでは、ゲート電極と浅いウェル領域を短絡しているため、ゲート電位によって、ウェル領域の電位 V_{s-well} が変化し、見かけ上のしきい値が変化する。そこで、電源電圧を V_{DD} とし、 $V_{GS} = V_{s-well} = V_{DD}$ のときの V_{th} を見かけ上のしきい値 V_{th}' として、式（６）を書き直すと、次式（８）となる。

$$I_D = \frac{1}{2} \frac{W}{L} \mu_{eff} C_{ox} (V_G - V_{th}')^2 \quad (8)$$

整理すると、通常のMOSFETにおけるソース領域とウェル領域のバイアスを同電位とした該MOSFETのしきい値 V_{th} 、この発明のトランジスタのしきい値 V_{th}'' 、この発明のトランジスタの見かけ上のしきい値 V_{th}' は、次の様な関係となる。

$$5 \quad V_{th}' (V_{GS}=V_{s\text{-well}}=V_{DD}) < V_{th}'' (V_{GS}=V_{s\text{-well}}=V_{th}'') < V_{th} (V_{sub}=V_s : \text{通常接地電位に設定})。$$

ただし、 V_{sub} は基板（ウェル）の電位、 V_s はソース電位である。

この発明のトランジスタでは、通常のMOSFETのしきい値 V_{th} と比較し、飛躍的に見かけ上のしきい値 V_{th}' を小さくすることが可能となる。

10 この発明のトランジスタの場合は、式（8）における電流と電圧を駆動電流（ I_{drive} ）と電源電圧（ V_{DD} ）に置き換えると、次式（9）となる。

$$I_{drive} = \frac{1}{2} \frac{W}{L} \mu_{eff} C_{ox} (V_{DD} - V_{th}')^2 \text{ ----- (9)}$$

15 通常のMOSFETの場合は、式（6）における電流と電圧を駆動電流（ I_{drive} ）と電源電圧（ V_{DD} ）に置き換えると、次式（10）となる。

$$I_{drive} = \frac{1}{2} \frac{W}{L} \mu_{eff} C_{ox} (V_{DD} - V_{th})^2 \text{ ----- (10)}$$

20 通常のMOSFETでは、単チャネル効果の影響からしきい値を十分に下げることは不可能である。これと比較して、この発明のトランジスタでは、低電源電圧（ V_{DD} が小さい）ときに非常に有利となる。一例として、 $V_{DD}=0.6V$ 、 $V_{th}=0.3V$ のときには、 V_{th}' が $0.15V$ 程度となって、 $(V_{DD}-V_{th})^2$ 及び $(V_{DD}-V_{th}')^2$ が 0.09 及び 0.2029 となり、同じ電源電圧で約
25 2倍の駆動電流を得ることが可能となる。電源電圧を更に下げれば、もっと有利となる。

この様なトランジスタでは、ゲート電位と浅いウェル領域の電位が一致するため、浅いウェル領域とソース領域（及びドレイン領域）との間に形成されるpn接合に順方向バイアスが与えられる。より詳細には、nチャネル型トランジスタの場合、ソース領域の電位はGND電位に等しく、浅いウェル領域の電位はゲート電位に等しくなる。他方、pチャネル型トランジスタの場合、ソース領域の電位は電源電圧に等しく、浅いウェル領域の電位はゲート電位に等しくなる。順方向電流を流さないようにするには、ウェル領域とソース領域間の電圧（またはウェル領域とドレイン間の電圧）をpn接合のビルトインポテンシャル以下に保つ必要がある。これらの電圧がビルトインポテンシャルを越えると、浅いウェル領域とソース領域（またはドレイン領域）との間をpn接合ダイオードの順方向電流が流れる。浅いウェル領域の電位をビルトインポテンシャル近傍にまで上げた場合、無視できないレベルのpn接合ダイオードの順方向電流が流れるため、ウェル領域の電位をビルトインポテンシャルに対して0.1～0.3V程度低くなるように電源電圧を設定することが望ましい。

図5は、この発明の半導体装置の第2実施形態を示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図、(c)は(a)におけるc-c'に沿う断面図、(d)は(a)におけるd-d'に沿う断面図である。なお、同図において、図1と同様の作用を果たす部位には同じ符号を付す。

この第2実施形態の装置は、請求項1に記載の装置に対応する。

この第2実施形態のトランジスタでは、Si半導体基板101に深いウェル領域102を形成し、この深いウェル領域102内に該深いウェル102よりも浅く、かつ該深いウェル領域102とは逆導電型の浅いウェル領域103を形成し、この浅いウェル領域103内に該浅いウェル領域103とは逆導電型、つまり深いウェル領域102と同導電型のソース領域107、ドレイン領域107を形成し、ソース領域107とドレイン領域107間のチャンネル領域に、ゲート絶縁膜105を介してゲート電極106を重ねており、ソース領域107、ドレイン領

域107及びゲート電極106からなるトランジスタを構成している。

ここでは、トランジスタのゲート電極106がコンタクト孔108を介して浅いウェル領域103に電氣的に接続されていることを特徴とする。また、浅いウェル領域103が他の半導体素子を備える隣接する他の浅いウェル領域と電氣的に分離されていることを特徴とする。

また、第1実施形態と同様に、浅いウェル領域103の抵抗を下げるため、浅いウェル領域103は、濃度の濃い領域111を濃度の薄い領域112によって挟み込んだ構造を有する。

この様な構造により、SOI (Silicon On Insulator) 基板を用いることなくダイナミックしきい値動作を実現することが可能となる。

図6及び図7は、第2実施形態のトランジスタのゲート電位と駆動電流との関係を示す。これらの図から明らかな様に、サブスレッシュホールド領域の曲線の傾き（駆動電流を1桁上げるために必要なゲート電位の変位量）が、約60mV/decとなっていることがわかる。このトランジスタによれば、通常のMOSFETのサブスレッシュホールド領域の曲線の傾き（80mV/dec～100mV/dec）に比べて、ゲート電位の小さな変化によって大きな駆動電流を得ることができる。

この第2実施形態では、深いウェル領域の不純物濃度は、 $1 \times 10^{16} / \text{cm}^3$ ～ $1 \times 10^{17} / \text{cm}^3$ 程度に設定し、浅いウェル領域の不純物濃度は、 $5 \times 10^{16} / \text{cm}^3$ ～ $5 \times 10^{17} / \text{cm}^3$ に設定している。また、浅いウェル領域の深さは、500nm～1500nmに設定している。この浅いウェル領域では、250～600nmの深さで、濃度がピークなる様に設定して、濃い濃度の領域111を形成しており、そのピーク濃度は、 $5 \times 10^{17} / \text{cm}^3$ ～ $1 \times 10^{21} / \text{cm}^3$ である。

また、ソース領域及びドレイン領域の不純物濃度は、約 $1 \times 10^{20} / \text{cm}^3$ 以上に設定し、その接合深さは、50nm～300nmに設定している。トランジ

スタの短チャネル効果を抑えるためには、出来る限りソース領域及びドレイン領域の接合深さを浅くし、ゲート酸化膜を薄くする方がよい。

図8 (a) には、図5の半導体装置の変形例を示しており、(a) は平面図、
(b) は (a) における b-b' に沿う断面図、(c) は (a) における c-c'
5 c' に沿う断面図、(d) は (a) における d-d' に沿う断面図である。

この変形例では、半導体基板 101' 内に深いウェル領域 102' を設け、この深いウェル領域 102' に浅いウェル領域 103' を設けている。浅いウェル領域 103' の導電型は、深いウェル領域の導電型と反対であり、半導体基板 101' の導電型と同じである。

より詳細には、このトランジスタは、浅いウェル領域内に形成されたソース領域及びドレイン領域 107' と、ソース領域及びドレイン領域 107' 間に形成されたチャネル領域と、チャネル領域を覆うゲート絶縁膜 105' と、ゲート絶縁膜 105' 上に形成されたゲート電極 106' とを備えている。ゲート電極 106' は、ゲート絶縁膜 105' に形成されたコンタクト孔 108' を介して、
15 浅いウェル領域 103' に電氣的に接続されている。

図示されている浅いウェル領域 103' は、素子分離用酸化膜 104' によって、隣接する他のトランジスタの浅いウェル領域（不図示）と電氣的に分離されている。

この変形例では、ゲート電極と浅いウェル領域との間のコンタクトが形成される領域と、ソース領域及びドレイン領域が形成される領域との間にも、素子分離用酸化膜 104' が存在している。

ところで、この第2実施形態の様に浅い領域と深いウェル領域を備える構造においては、トランジスタの動作に寄生バイポーラトランジスタが寄与するので、これを説明する。

図9は、この発明のトランジスタの配線および寄生バイポーラトランジスタを模式的に示している。ここでは、nチャネル型MOSトランジスタと寄生npn

バイポーラトランジスタに関して記述するが、極性を対称（逆）にすることにより、pチャネル型MOSトランジスタと寄生pnpバイポーラトランジスタでも等価に考えることが出来る。

5 このMOSトランジスタ（本体トランジスタと称す）では、ソース領域はGNDに、ゲート電極は入力 V_{IN} に、ドレイン領域は出力 V_{OUT} に接続されている。浅いウェル領域の電位は V_{s-well} とし、深いウェル領域の電位は V_{d-well} とする。

10 本体トランジスタにおいては、図9に示す様に、この本体トランジスタとは別に、 $Tr1$ 、 $Tr2$ 、 $Tr3$ によって示される3つの寄生バイポーラトランジスタが形成されている。これらの寄生バイポーラトランジスタの動作電流の向きを次の表1に示す。

【表1】

V_{d-well}	入力前OUTの初期値	IN	MOSFETの電流の向き	$Tr1$ の電流の向き	$Tr2$ の電流の向き	$Tr3$ の電流の向き
VDD	VDD	VDD	←	← ○	↑ △	↑ ×
		GND	OFF	OFF	OFF	OFF
	GND	VDD	OFF	OFF	↑ △	↑ ×
		GND	OFF	OFF	OFF	OFF
GND	VDD	VDD	←	← ○	OFF	↓ ○
		GND	OFF	OFF	OFF	OFF
	GND	VDD	OFF	OFF	OFF	OFF
		GND	OFF	OFF	OFF	OFF

この表1における電流の向きを示す矢印の方向は、図9の矢印の向きに対応している。また、この表1の記号○は、本体トランジスタに対して、その動作を助けるように動作する場合を示し、記号△は本体トランジスタの動作に無関係なリーク電流を生じさせる場合を示し、記号×は本体トランジスタの動作を妨げるように動作する場合を示している。

例えば、深いウェル領域の電位 (V_{d-well}) を電源電圧 (V_{DD}) レベルに固定し、ゲート電極に V_{DD} の電圧を入力した場合は、寄生バイポーラトランジスタ T_{r3} が、本体トランジスタの動作を妨げるように動作しようとする。言い換えると、本体トランジスタが出力 (V_{out}) を GND にしよう (保とう) とするのに対して、寄生バイポーラトランジスタ T_{r3} は、出力 (V_{out}) を電源電圧 V_{DD} にしよう (保とう) とする動作をする。また、この場合において、寄生バイポーラトランジスタ T_{r2} は、素子動作と無関係なリーク電流が発生させるように動作する。

従って、深いウェル領域の電位 (V_{d-well}) を電源電圧 (V_{DD}) に固定する場合は、寄生バイポーラトランジスタ T_{r2} 及び T_{r3} にあまり電流が流れないように設計する必要がある。この発明者の実験によれば、寄生バイポーラトランジスタ T_{r2} 及び T_{r3} のベース幅を 200 nm 以上にし、ベース部分の不純物濃度を $2 \times 10^{17} \text{ cm}^{-3}$ 以下に設定すれば、本体トランジスタのオン電流に対して、寄生バイポーラトランジスタの電流を無視できるレベルに抑制することができた。ここで、ベース幅は、ソース領域及びドレイン領域の下端から浅いウェル領域の下端までの距離を意味する。

深いウェル領域に与えられる電位 (V_{d-well}) を GND レベルにした場合は、すべての入出力の関係において、本体トランジスタを助ける方向に寄生バイポーラトランジスタが働く。このとき、本体トランジスタは、この本体トランジスタの電流と寄生バイポーラトランジスタの電流を総合した電流を流すことが可能となる。このため、寄生バイポーラトランジスタの動作を積極的に採用した場合、

寄生バイポーラトランジスタの動作を示さない本体トランジスタ単体と比較して、更に大きな駆動力を得ることが可能となる。

図10は、この発明の半導体装置の第3実施形態を概略的に示しており、
(a)は平面図、(b)は(a)におけるb-b'に沿う断面図、(c)は
5 (a)におけるc-c'に沿う断面図、(d)は(a)におけるd-d'に沿う断面図である。

この第3実施形態の装置は、請求項2に記載の装置に対応する。

この第3実施形態のトランジスタは、上記第2実施形態を改良するものである。
つまり、第2実施形態では、同一基板上での複数のトランジスタの形成を想定す
10 ると、隣接する各トランジスタを素子分離用酸化膜104（一般的なフィールド酸化膜）によって分離することになる。しかし、この場合、フィールド酸化膜よりもウェル領域の接合深さが深いため、隣接する各トランジスタの浅いウェル領域の相互の拡散による該各浅いウェル領域のオーバーラップを防止するには、各浅いウェル領域の分離幅を大きくする必要があり、その分離領域が非常に大きくなり、シリコン基板上で1つのトランジスタ当たりの専有面積が増大し、微細化には向かない。

そこで、第3実施形態では、隣接する各トランジスタ間を分離するための分離領域を縮小するべく、分離領域は、浅いウェル領域よりも深く、深いウェル領域よりも浅い溝型分離領域として形成されている。

20 図10から明らかな様に、第3実施形態のトランジスタは、半導体基板301に深いウェル領域302を形成し、この深いウェル領域302内に該深いウェル領域302よりも浅く、かつ該深いウェル領域302とは逆導電型の浅いウェル領域303を形成し、この浅いウェル領域303内に浅いウェル領域303と逆導電型のつまり深いウェル領域302と同導電型のソース領域307、ドレイン
25 領域307を形成し、ソース領域307とドレイン領域307間のチャネル領域に、ゲート絶縁膜305を介してゲート電極306を重ねており、ソース領域3

07、ドレイン領域307及びゲート電極306からなるトランジスタを構成している。

このトランジスタでは、ゲート電極306をコンタクト孔308を介して浅いウェル領域303に電氣的に接続していることを特徴とする。

- 5 また、浅いウェル領域303と隣接するトランジスタの他の浅いウェル領域間に、溝型分離領域304を形成し、この溝型分離領域304によって、両者の浅いウェル領域を電氣的に分離していることを特徴とする。

- 10 更に、浅いウェル領域303の抵抗を低減するため、この浅いウェル領域303は、濃度の濃い領域311を濃度の薄い領域312によって挟み込んだ構造を有する。

また、深いウェル領域302と同導電型の不純物濃度の濃い領域321は、上部の金属配線（図示せず）と深いウェル領域302を電氣的に接続し、この金属配線と半導体基板301をオーミック接続させるために設けられている。

- 15 331は浅いウェル領域303と同導電型の不純物濃度の濃い領域、341はフィールド酸化膜、361はシリサイド膜、308はゲート電極306と浅いウェル領域303を接続するコンタクト孔、309は上部の金属配線と、ソース領域307及びドレイン領域307を接続するコンタクト孔、310は深いウェル領域302と上部の金属配線を接続するコンタクト孔である。

- 20 なお、ゲート電極306と上部の金属配線を接続するコンタクト孔は、図示はしていないが、ゲート電極306と浅いウェル領域303を接続するコンタクト孔308上に設ければよい。

- 25 この第3実施形態では、各ウェル領域302、303の深さ及び濃度は、第2実施形態と同様であり、溝型分離領域304の深さは、浅いウェル領域303の深さと、浅いウェル領域303及び深いウェル領域302の接合により形成される空乏層の幅（正確には、空乏層幅のうち深いウェル領域302側に延びている長さ）を足し合わせた深さ以上に設定すれば良い。これにより、隣接する各トラ

ンジスタの浅いウェル領域 303 を電氣的に相互に分離することができる。もし、空乏層が溝型分離領域 304 の深さを越えた場合、隣接する各トランジスタの空乏層が相互につながることであり、隣接する各浅いウェル領域 303 間でパンチスルーが発生する。

- 5 この様な構造においては、溝型分離領域 304 のスペース（通常最小加工寸法）のみによって、隣接する各トランジスタが相互に分離し、SOI 基板を用いなくても、バルク半導体基板によって、集積密度を犠牲にすることなく、ダイナミックしきい値動作を行うトランジスタを実現することが可能となる。

- 10 ここで、第 3 実施形態におけるトランジスタのゲート電極 306 と、浅いウェル領域 303 をオーミック接続するコンタクト孔 308 の構造について説明する。

- 15 埋め込みチャンネル型のトランジスタでは、ゲート電極と浅いウェル領域は同導電型であるため、ゲート酸化膜にコンタクト孔を開け直接接続を行ってもオーミック接続となり問題ないが、表面チャンネル型のトランジスタでは、ゲート電極と浅いウェル領域は逆導電型となるため、そのまま接続しても PN 接合が形成され
- 15 オーミックコンタクトが形成されない。

- 20 そこで、この第 3 実施形態では、ゲート電極 306 と浅いウェル領域 303 がどのような導電型でもオーミック接続が可能な様にゲート電極 306 と浅いウェル領域 303 を接続するに当たり、ゲート電極 306 と浅いウェル領域 303 の間に、金属シリサイド膜 361、及び浅いウェル領域 303 と同導電型の不純物濃度の濃い領域 331 を設けた構造にしている。つまり、ゲート電極 306 → 金属シリサイド膜 361 → 浅いウェル領域 303 と同導電型の不純物濃度の濃い領域 331 → 浅いウェル領域 303 の順で接続している。

- 25 この様な構造において、不純物濃度の濃い領域 331 の不純物濃度を $1 \times 10^{20} / \text{cm}^3$ 以上に設定することにより、金属シリサイド膜 361 と浅いウェル領域 303 をオーミック接続することが可能となる（ゲート電極 306 は、元々濃度が高いため（通常 $1 \times 10^{20} / \text{cm}^3$ 以上）、金属シリサイド膜 361 と直接

オーミック接続することが可能となる)。

仮に、浅いウェル領域303と同導電型の不純物濃度の濃い領域331を設けず、シリサイド膜を浅いウェル領域303に直接接続した場合、金属半導体ショットキー接続となり、オーミック接続ができなくなる。

- 5 ゲート電極306と浅いウェル領域303を接続する具体的な方法は、ゲート電極306の側壁に酸化膜を形成した後、ゲート電極306の所望の領域に、ゲート電極306から浅いウェル領域303に通じるコンタクト孔308を開口し、この後にシリサイド化工程を行えばよい。つまり、ゲート電極306から浅いウェル領域303に通じるコンタクト孔308を形成した後、高融点金属を堆積し、
- 10 熱処理により反応させる。高融点金属とシリコンが接触している領域には、自己整合的にシリサイド膜が形成され、これと同時に、ゲート電極306から浅いウェル領域303に通じるコンタクト孔308にもシリサイド膜が形成され、ゲート電極306と浅いウェル領域303が電氣的につながる。この現象は、シリサイド膜の横方向成長を利用したものであり、ゲート酸化膜が非常に薄いため(こ
- 15 の実施形態では、3~5nm)、コンタクト孔308の底部(浅いウェル領域303)に形成されるシリサイド膜と、コンタクト孔308の側壁部(ゲート多結晶シリコン)に形成されるシリサイド膜がつながる。また、ソース領域307、ドレイン領域307及びゲート電極306と浅いウェル領域303間のコンタクトへのイオン注入は、シリサイド化反応前後どちらでも良い。あるいは、後述する
- 20 相補型素子を形成する場合には、逆導電型のトランジスタのソース領域、ドレイン領域へのイオン注入と同時に、ゲート電極306と浅いウェル領域303間のコンタクトへのイオン注入を行えば良い。

- 図11は、この発明の半導体装置の第4実施形態を概略的に示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。なお、
- 25 同図において、図10の装置と同様の作用を果たす部位には同じ符号を付す。

この第4実施形態の装置は、請求項5に記載の装置に対応し、第3実施形態の

半導体装置から相補型の回路を構成したものである。この装置では、pチャネルの各トランジスタを配列したpチャネル区域371と、nチャネルの各トランジスタを配列したnチャネル区域372を備えている。

5 pチャネル区域371では、p型の深いウェル領域302内に、溝型分離領域304によって分離された各n型の浅いウェル領域303を形成し、これらの浅いウェル領域303にpチャネルの各トランジスタを形成している。

同様に、nチャネル区域372では、n型の深いウェル領域302内に、溝型分離領域304によって分離されたp型の各浅いウェル領域303を形成し、これらの浅いウェル領域303にnチャネルの各トランジスタ素子を形成している。

10 なお、各々の浅いウェル領域303を分離する方法は、第2実施形態の様にフィールド酸化膜でも良いが、浅いウェル領域303の横方向の広がりを抑えるため、第3実施形態で示した様に浅いウェル領域よりも深く、深いウェル領域よりも浅い溝型分離領域によって分離することが望ましく、この第4実施形態でも、溝型分離領域を採用している。

15 ここでは、p型の深いウェル領域とn型の深いウェル領域が接触しているため、各々の深いウェル領域にそれぞれのバイアス電圧を印加する場合、逆バイアスとなる様に、p型の深いウェル領域をGNDに接地し、n型の深いウェル領域を電源電圧に固定する必要がある（順方向バイアスとなる様に、それぞれの電圧を設定した場合は、動作に無関係な順方向電流が流れ続ける）。

20 また、先に述べた様に、ソース領域307及びドレイン領域307に対して、浅いウェル領域303がベースとなり、深いウェル領域302がコレクタ（エミッタ）となる縦の寄生バイポーラの動作を考えた場合、この縦の寄生バイポーラトランジスタによって、この本体トランジスタの動作が妨げられる。したがって、この第4実施形態の様に相補型の回路を実現した場合、縦の寄生バイポーラの増幅率が極力1に近づく様に（つまり、ベース電流とエミッタ電流が等しくなる様に）、浅いウェル領域303の深さ（ベース幅に関係）及び濃度を設定する必要

25

がある。この第4実施形態では、第3実施形態と同様に各ウェル領域の深さ及び濃度を設定した。

短チャネル効果、しきい値のバラツキ等を考慮した場合、ソース領域、ドレイン領域及びゲート電極を同導電型で構成する表面チャネル型のトランジスタが望ましい。この場合、ソース領域、ドレイン領域及びゲート電極への不純物の導入は、イオン注入法により同時に行うのが一般的である。

この第4実施形態の相補型の回路では、nチャネル型トランジスタのソース領域、ドレイン領域、ゲート電極への不純物の導入と、pチャネル型トランジスタのゲート電極と浅いウェル領域間のコンタクトへの不純物の導入を1回のイオン注入工程で同時に行い、pチャネル型トランジスタのソース領域、ドレイン領域、ゲート電極への不純物の導入と、nチャネル型トランジスタのゲート電極と浅いウェル領域間のコンタクトへの不純物の導入を1回のイオン注入工程で同時に行うことにより、工程の簡略化を図っている。

一方、この様な表面チャネル型のトランジスタでは、ウェル領域の導電タイプとゲート電極の導電タイプが逆になり、そのままでは、電氣的に接続できない。そこで、先にも述べた様にゲート電極にシリサイド膜を用いて、逆の導電タイプの半導体層同士を接続すれば良く、浅いウェル領域の不純物濃度が薄いため、浅いウェル領域と同導電型の高濃度の不純物をコンタクト領域に導入して、シリサイド膜と浅いウェル領域間でオーミックコンタクトを形成する。

ただし、この発明を実施するに当たって、トランジスタを表面チャネル型のものに限定する必要はなく、埋め込みチャネル型のトランジスタ（ソース領域並びにドレイン領域とゲート電極が逆導電型）、メタルゲート（タングステンゲート、アルミゲート、モリブデンゲート、窒化チタンゲート、チタンタングステンゲート等）、もしくは、上記メタルとポリシリコンの多層膜ゲートでも実施することができる。

図12は、第4実施形態の変形例を示す断面図である。

この変形例のトランジスタは、請求項3に対応する。

ここでは、深いウェル領域302を該深いウェル領域302とは逆導電型の更に深いウェル領域381内に形成し、深いウェル領域302と更に深いウェル領域381を同電位にしている。

- 5 隣接する各トランジスタ間で、n型の更に深いウェル領域381とp型の更に深いウェル381が相互に接触するので、これらの更に深いウェル領域381、381が逆バイアスとなる様に、n型の更に深いウェル381を電源電圧に設定し（つまり、p型の深いウェル領域302を電源電圧に設定し）、p型の更に深いウェル領域381をGNDに接地する（つまり、n型の深いウェル領域をGNDに接地する）。このとき、縦の寄生バイポーラトランジスタは、本体トランジスタの動作を助ける方向に働く。
- 10

したがって、この変形例では、先に述べた第4実施形態の問題点、つまり縦の寄生バイポーラトランジスタによって、本体トランジスタ動作が妨げられると言う問題点を解決することができる。

- 15 図13は、第4実施形態の他の変形例を示す断面図である。

この他の変形例のトランジスタは、請求項4に記載の装置に対応する。

- ここでは、各深いウェル領域間の分離領域を縮小し、バウンダリルールを縮小して、専有面積を縮小するために、深いウェル領域302の深さと、深いウェル領域302及び更に深いウェル領域381の接合により形成される空乏層の幅を足し合わせたものよりも深く、更に深いウェル領域381よりも浅い溝型分離領域382を形成し、隣接する各トランジスタの深いウェル領域302を相互に分離している。
- 20

図14は、この発明の半導体装置の第5実施形態を概略的に示しており、

(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。

- 25 この第5実施形態の装置は、請求項6に記載の装置に対応しており、相補型の回路を構成する第4実施形態における制約、つまり1種類の深いウェル領域内に

同導電型のトランジスタを配列すると言う制限を保ちつつ、nチャネルトランジスタとpチャネルトランジスタの配置の自在性を向上させるためのものである。

この装置では、例えばp型の半導体基板501内に、溝型分離領域502を設け、この溝型分離領域502によって囲まれる複数の活性化領域を形成している。

5 半導体基板501と逆導電型のソース領域及びドレイン領域を持つトランジスタ（ここでは、nチャネルのトランジスタ）は、溝型分離領域502で囲まれた各活性化領域のうちの半導体基板501とは逆導電型の深いウェル領域503

（ここでは、n型の深いウェル領域）が存在する活性化領域に形成される。この活性化領域においては、深いウェル領域503上に半導体基板501とは同導電
10 型の浅いウェル504（ここではp型の浅いウェル領域）を形成し、この浅いウェル領域504内に半導体基板501とは逆導電型のソース領域505及びドレイン領域505（n型のソース領域及びドレイン領域）を形成し、ゲート電極506を浅いウェル504と電氣的に接続している。

また、半導体基板501と同導電型のソース領域及びドレイン領域を持つトラ
15 ンジスタ（ここでは、pチャネルのトランジスタ）は、各活性化領域のうちの深いウェル領域が存在しない活性化領域に形成される。この活性化領域においては、半導体基板501とは逆導電型の浅いウェル領域507（ここでは、n型の浅いウェル領域）を形成し、この浅いウェル領域507内に半導体基板501と同導電型のソース領域508及びドレイン領域508（p型のソース及びドレイン領
20 域）を形成し、ゲート電極509を浅いウェル領域507（ここでは、n型の浅いウェル領域）と電氣的に接続している。

半導体基板501と逆導電型のソース領域及びドレイン領域を持つトランジスタ、及び半導体基板501と同導電型のソース領域及びドレイン領域を持つトランジスタは、相補型の回路を構成している。

25 なお、p型の半導体基板501の場合は、これをGNDに接地する。また、n型の半導体基板501を適用した場合は、ここに示した各領域の導電型を逆にし

て、この半導体基板501を電源電圧に設定すれば良い。また、半導体基板501とは逆導電型の深いウェル領域503は、その電位が固定されておらず、フローティング状態である。このため、その電位を固定して、外部からのノイズの影響を受け難くしても構わない。

- 5 また、511は、ソース領域及びドレイン領域と上部の金属配線を接続するためのコンタクト孔である。

この第5実施形態では、第3実施形態と同様に、コンタクト孔513の部位で、各ゲート電極506, 509をシリサイド膜510を通じて各浅いウェル領域504, 507に接続している。第3実施形態と同様に、シリサイド膜513と低濃度の浅いウェル領域507をオーミック接続するには、シリサイド膜513と浅いウェル領域507間に高濃度領域（図示せず）を設ければ良い。また、この部位の接続は、ここに示す方法に限るものではなく、上部の金属配線工程の前に、ゲート電極をも抜き、浅いウェル領域まで達するコンタクト孔を形成し、金属配線で接続しても良い。

- 15 基板と逆導電型の深いウェル領域503（ここでは、n型の深いウェル領域）は、フローティング状態となるが、n型の浅いウェル領域507と、p型の浅いウェル領域504は、溝型分離領域502によって完全に分離されるので、これらの浅いウェル領域の寄生バイポーラトランジスタのコレクタ電流が相手の寄生バイポーラトランジスタのベース電流となる様な帰還回路は形成されず、ラッチアップは起こさない。

また、ここでは、p型の半導体基板501を用いているため、nチャネル側のトランジスタにおいては、縦方向にn型のソース領域505及びドレイン領域505、p型の浅いウェル領域504、n型の深いウェル領域503（フローティング）、p型の半導体基板501と言う積層構造となり、寄生サイリスタを構成するが、相補型の回路のためのバイアス条件としてn型のソース領域がGNDに接地され、またp型の半導体基板もコンタクト孔512を介してGNDに接地さ

れるので、上記寄生サイリスタは、オンしない（ラッチアップしない）。

この様な構造により、nチャネルトランジスタ及びpチャネルトランジスタをバウンダリルールに囚われず、自由に配置することが可能となり、設計上の自由度が増す。

- 5 なお、深いウェル領域503（ここでは、n型の深いウェル領域）と半導体基板501の接合により形成される空乏層の幅まで含めた深さは、溝型分離領域502を越えては行けない。勿論、n型の浅いウェル領域507と半導体基板501の接合により形成される空乏層の幅まで含めた深さも、溝型分離領域502を越えては行けない。

- 10 図15は、この発明の半導体装置の第6実施形態を概略的に示しており、
（a）は平面図、（b）は（a）におけるb-b'に沿う断面図である。

この第6実施形態の装置は、請求項7に記載の装置に対応しており、第5実施形態と同様に、nチャネルトランジスタとpチャネルトランジスタの配置の自在性を向上させるためのものである。

- 15 この装置では、半導体基板601内に更に深いウェル領域611を設け（ここでは、p型）、この更に深いウェル領域611内に、溝型分離領域602を設け、この溝型分離領域602によって囲まれる複数の活性化領域を形成している。

- これらの活性化領域には、第5実施形態と同様に、相補型の回路を構成する2種類のトランジスタのいずれかが形成されている。すなわち、一方のトランジスタは、活性化領域内に、n型の深いウェル領域603、p型の浅い領域ウェル604、n型のソース領域605及びドレイン領域605を形成してなり、また他
20 方のトランジスタは、活性化領域内に、n型の浅いウェル領域607、p型のソース領域608及びドレイン領域608を形成してなる。

- なお、逆にn型の更に深いウェル領域611を形成した場合は、活性化領域内
25 に、p型の深いウェル領域、n型の浅いウェル領域、p型のソース領域及びドレイン領域を形成し、また他の活性化領域内に、p型の浅いウェル領域、n型のソ

ース領域及びドレイン領域を形成すれば良い。

各々のゲート電極606, 609は、それぞれに対応する各浅いウェル領域604, 607とコンタクト孔613を介して電氣的に接続されている。

また、610はシリサイド膜、611はソース領域及びドレイン領域と上部の金属配線を接続するためのコンタクト孔、612は半導体基板601と上部の金属配線を接続するためのコンタクト孔である。

ここでは、更に深いウェル領域611は、一定電位に設定される。この更に深いウェル領域611がp型であるため、この更に深いウェル領域611をコンタクト孔612を介してGNDに接地すれば良い。

この様な第6実施形態の装置は、第5実施形態の半導体基板に対して、更に深いウェル領域611を付設した構造であって、更に深いウェル領域611の濃度を自由に設定することができる。

なお、深いウェル領域603は、その電位が固定されておらず、フローティング状態である。このため、その電位を固定して、外部からのノイズの影響を受け難くしても構わない。

また、ラッチアップに関しては、第5実施形態と同様に考えれば良い。また、この構造により、nチャネルトランジスタとpチャネルトランジスタをバウンダリルールに囚われず、自由に配置することが可能となり、設計上の自由度が増す。

図16は、この発明の半導体装置の第7実施形態を概略的に示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。

この第7実施形態の装置は、請求項8に記載の装置に対応しており、第5実施形態と同様に、nチャネルトランジスタとpチャネルトランジスタの配置の自在性を向上させるためのものである。

この装置では、半導体基板701（ここでは、p型）内に、溝型分離領域702を設け、この溝型分離領域702によって囲まれる複数の活性化領域を形成している。

これらの活性化領域には、第5実施形態と同様に、相補型の回路を構成する2種類のトランジスタのいずれかが形成されている。すなわち、一方のトランジスタは、活性化領域内に、n型の深いウェル領域703、p型の浅い領域ウェル704、n型のソース領域705及びドレイン領域705を形成してなり、また他
5 方のトランジスタは、活性化領域内に、p型の深いウェル領域707、n型の浅いウェル領域708、p型のソース領域709及びドレイン領域709を形成してなる。

各々のゲート電極706、710は、それぞれに対応する各浅いウェル領域704、707とコンタクト孔714を介して電氣的に接続されている。また、7
10 12はソース領域及びドレイン領域と上部の金属配線を接続するためのコンタクト孔である。

ここでは、半導体基板701は、コンタクト孔713を介して一定電位を与えられている。この半導体基板701がp型であるため、この半導体基板701をGNDに接地すれば良い。このとき、p型の半導体基板701と同導電型の深い
15 ウェル707も、接地される（n型の場合は、電源電圧に設定すれば良い）。

なお、半導体基板701とは逆導電型の深いウェル領域703は、その電位が固定されておらず、フローティング状態である。このため、その電位を固定して、外部からのノイズの影響を受け難くしても構わない。

また、ラッチアップに関しては、第5実施形態と同様に考えれば良い。また、
20 この構造により、nチャネルトランジスタとpチャネルトランジスタをバウンダリルールに囚われず、自由に配置することが可能となり、設計上の自由度が増す。

図17は、第7実施形態の変形例を示しており、(a)は平面図、(b)は(a)におけるb-b'に沿う断面図である。

この変形例では、第7実施形態における半導体基板701とは逆導電型の深い
25 ウェル領域703がフローティングであったので、その電位を固定するために、この深いウェル領域703を半導体基板701の表面に導く構造を備える。

すなわち、半導体基板 701 内に、深い溝型分離領域 721 を設け、この深い溝型分離領域 721 によって囲まれる活性化領域を形成し、この活性化領域内の深いウェル領域 703 内に浅い溝型分離領域 722 を設け、この浅い溝型分離領域 722 によって活性化領域を 2 分割し、一方の領域に浅いウェル領域 704 を配し、他方の領域内で深いウェル領域 703 を半導体基板 701 の表面に導いている。

なお、724 はゲート電極と上部の金属配線を接続するためのコンタクト孔、725 は深いウェル領域 703 とを上部の金属配線を接続するためのコンタクト孔である。

ところで、上記各実施形態のトランジスタにおいては、その動作を保証するために、以下の様な条件を設定する必要がある。

基本的に、1 つの p n 接合により形成される空乏層は、他の p n 接合により形成される空乏層とつながってはいけない。例えば、p 型半導体基板上のあるトランジスタが n 型のソース領域及びドレイン領域、p 型の浅いウェル領域、n 型の深いウェル領域から構成されており、この n 型の深いウェル領域までが溝型分離領域によって分離されているとする。この場合、n 型のソース領域及びドレイン領域と p 型の浅いウェル領域の接合により形成される空乏層は、p 型の浅いウェル領域と n 型の深いウェル領域の接合により形成される空乏層とつながってはいけない。もしつながれば、n 型のソース領域及びドレイン領域と、n 型の深いウェル領域がパンチスルーし、電氣的につながった状態となる。

また、n 型のソース領域と p 型の浅いウェル領域の接合により形成される空乏層は、n 型のドレイン領域と p 型の浅いウェル領域の接合により形成される空乏層とつながってはいけない。もしつながれば、ソース領域及びドレイン領域間にパンチスルーが発生する。

また、n 型の深いウェル領域と p 型の半導体基板の接合により形成される空乏層は、別の n 型領域（つまり、隣接する他のトランジスタの n 型の深いウェル領

域)と該p型の半導体基板の接合により形成される空乏層とつながってはいけ
ない。このためには、空乏層まで含めたn型の深いウェル領域の深さ(n型の深い
ウェル領域の深さと、この深いウェル領域及びp型の半導体基板の接合により形
成される空乏層の下方に延びている幅を足し合わせたもの)よりも、溝型分離領
域が深くなければいけない。

すなわち、1つのpn接合により形成される空乏層は、他のpn接合により形
成される空乏層とつながってはいけないと言う条件を満たす様に、それぞれの半
導体層の領域の深さ、及び溝型分離領域の深さを決める必要がある。これらの深
さは、空乏層の幅が各半導体層の濃度の相互関係によって決まるため、一義的に
決めることはできないものの、上記条件を満たすことができれば、トランジスタ
としての基本的な動作を満足することができるので、後は浅いウェル領域の抵抗、
濃度(寄生容量に関係する)を設計指針とすれば良い。

【実施例】

次に、この発明のより具体的な実施例を説明する。

まず、この発明は、これまでに述べてきた様に、バルク半導体基板の適用を前
提として、ダイナミックしきい値動作を実現することを目的とし、その抵抗の高
さにより問題視されていた従来のSOI基板のボディーの代わりに、バルク半導
体基板のウェル領域を用いることが基本となっている。

バルク半導体基板及びSOI基板のいずれを用いるにしても、チャネル領域の
不純物濃度は、既に説明した様にしきい値との関係で、濃くするには限界がある。
しかも、SOI基板では、ボディー膜厚が薄いため、非常に高抵抗となる。

これに対して、この発明においては、バルク半導体基板のウェル領域の深さに
格別な制限がなく、チャネル領域の濃度を薄くしたまま、チャネル領域に関係し
ない領域の濃度をいくらでも高めることが可能であり、これによってウェル領域
(SOI基板におけるボディー領域に相当する)の低抵抗化を図ることができる
(極端に言うと、ウェル領域を半導体基板の膜厚分だけ深くすることが可能であ

るが、それ以上に溝型分離領域を深く形成する必要があるので、常識的な範囲では、 $5\mu\text{m}$ 程度まで深くできる）。

また、ソース領域及びドレイン領域と浅いウェル領域が接触している部位では、接合容量をできるだけ小さくせねばならず（回路の速度は、流れる電流量とCR
5 時定数により決まるため、なるべく容量を小さくする必要がある）、接触部でのウェル領域の濃度をできるだけ薄くする方が望ましい。更に、深いウェル領域、もしくは半導体基板と接する側の浅いウェル領域の濃度に関しても、深いウェル領域と浅いウェル領域間の接合容量をできるだけ小さくせねばならず、浅いウェル領域の濃度をできるだけ薄くする方が望ましい。

10 これらの点を更に明確にするため、第18図(a)に示す様な構造の単体のトランジスタ（図10に示す第3実施形態と同様の構成）を一実施例として挙げ、このトランジスタの各半導体層の濃度や、製造方法を述べる。

なお、同図において、図10と同様の作用を果たす部位には同じ符号を付す。

ここでは、ソース領域307及びドレイン領域307の深さd1を50～20
15 0nm、これらの領域307のピーク濃度を $1\times 10^{19}/\text{cm}^3$ 以上（ $1\times 10^{20}/\text{cm}^3$ 以上が望ましい）、浅いウェル領域303における上部の濃度の薄い領域312の深さd2を半導体基板301表面から100～500nm（上述したように接合容量を小さくするため、ソース領域307及びドレイン領域307から延びる空乏層d7が濃度の濃い領域311とオーバーラップしないぐらい深い
20 ことが望ましい）、この濃度の薄い領域312の濃度を $1\times 10^{16}\sim 1\times 10^{18}/\text{cm}^3$ （望ましくは $1\times 10^{16}\sim 2\times 10^{17}/\text{cm}^3$ 、またウェル領域の濃度が、低すぎる時は、しきい値を制御するため、チャネル付近の濃度を高める必要がある）、浅いウェル領域303における濃度の濃い領域311のピーク濃度を $5\times 10^{17}/\text{cm}^3$ 以上（できれば常識的な上限である $1\times 10^{21}\sim 1\times 10^{18}/\text{cm}^3$ 程度が望ましい）にすればよい。
25

また、製造方法を考慮した場合、均一の濃度の薄い浅いウェル領域303を形

成し（イオン注入後、 $1000^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ 程度の高温アニール処理を行えば
良い）、この後イオン注入法により、濃度の濃い領域311を形成する方法が最
も形成し易く、注入エネルギーにもよるが、常識的な範囲で、半導体基板301
からの深さd3の範囲に（ $200\sim 700\text{nm}$ ）、ピーク濃度がくるように設定
5 すれば良い。また、注入エネルギーを変えて何回も注入し（常識的には、2～3
回）、濃度の濃い領域311が深さ方向に広範囲に存在する様に形成しても良い。

浅いウェル領域303における下部の濃度の薄い領域312までの深さd4
（深いウェル領域302と接する深さ）は、溝型分離領域304の深さに依存す
るが、常識的な範囲で $300\sim 3000\text{nm}$ 程度で良い。また、その濃度は、上
10 部の濃度の薄い領域312と同じで良い（もちろん深さ方向に徐々に濃度は低く
なり、基本的に深いウェル領域302の不純物濃度と等しくなった箇所では接合が
形成される）。深いウェル領域302の濃度は、 $1\times 10^{16}/\text{cm}^3\sim 1\times 10^{17}/\text{cm}^3$
程度に設定すればよい。

具体的な一例として、浅いウェル領域303の半導体基板301表面からの深
15 さd4を $1.0\mu\text{m}$ 、濃度の薄い領域312の濃度を $5\sim 8\times 10^{16}/\text{cm}^3$ 、
濃度の濃い領域311のピーク濃度を $5\sim 8\times 10^{18}/\text{cm}^3$ 、半導体基板301
表面からの該ピーク位置の深さd3を 600nm に設定し、深いウェル領域302
の濃度を $5\times 10^{16}/\text{cm}^3$ 、また溝型分離領域304の深さを $1.6\mu\text{m}$ 、
ゲート酸化膜の厚さを 3nm に設定したトランジスタを形成した。このトランジ
20 スタにおいて、電源電圧 0.5V にて、オン電流 $0.2\sim 0.25\text{mA}$ （NMOS：ゲート長
 $0.1\mu\text{m}$ ）、及び $0.08\sim 0.13\text{mA}$ （PMOS：ゲート長
 $0.13\mu\text{m}$ ）を実現しており、見かけ上のしきい値は、 $0.10\sim 0.15\text{V}$
であった。また、相補型のインバータによって構成したリングオシレータの1段
あたりの伝搬遅延時間は、約 30ps であった。

25 図18（b）、（c）は、図18（a）におけるa-a'に沿う実効キャリア
濃度であり、浅いウェル領域303における濃度の濃い領域311の濃度を高め

た場合と、低くした場合のプロファイルを示している。

この実施例においては、不純物濃度の濃い領域 311 を不純物濃度の薄い領域 312 によって挟み込んでいる。実際の構造においては、図 16 (b), (c) から明らかな様に、不純物濃度が連続的に変化し、半導体基板 301 内のある深さ、例えば表面から 300~700 nm 付近に濃度の濃い領域 311 のピーク濃度 5 が来る様に設計し、半導体基板 301 表面と深いウェル領域との境界に向けて、濃度が徐々に薄くなるような構造となる。したがって、濃度の濃い領域 311 と薄い領域 312 の境界がきっちり存在するわけではない。

この実施例においては、イオン注入法によりウェル領域を形成している。例えば、低ドーズ量（常識的に $2 \times 10^{13} / \text{cm}^3$ 以下）で注入した後、1000℃ 10 ~1100℃程度の温度でドライブし（注入量、エネルギー、ドライブ温度、時間は、溝型分離領域 304 の深さ、深いウェル領域 302 の濃度と関係しており、後に記述する溝型分離領域 304 との関係条件を満足すれば、基本的にどの様に設定しても良い）、比較的均一で低濃度の浅いウェル領域 303 を形成した後、 15 高エネルギー注入により、高濃度の注入（ $1 \times 10^{13} / \text{cm}^3$ 以上）を行い、850℃~900℃程度の活性化アニールを行えば（実際にはトランジスタのゲート酸化工程、ソース領域及びドレイン領域の活性化アニール工程で兼用できる）、半導体基板 301 表面側から低濃度→高濃度→低濃度と濃度が推移する浅いウェル領域 303 を形成できる。

20 ここで、溝型分離溝 304 の深さ、深いウェル領域 302 の濃度及び浅いウェル領域 303 の濃度の関係を述べる。基本的に、隣接する各浅いウェル領域 303 間は、電氣的に分離されている必要がある。つまり、浅いウェル領域 303 と深いウェル領域 302 の接合部の空乏層が隣接する他の浅いウェル領域と他の深いウェル領域の接合部の空乏層とつながると、これらの浅いウェル領域間でパンチスルーが起こるので、これらを分離する必要がある。このパンチスルーを防止 25 するために、隣接する各浅いウェル領域間を分離する溝型分離領域 304 の深さ

は、浅いウェル領域303と深いウェル領域302の接合部の空乏層が隣接する他の浅いウェル領域と他の深いウェル領域の接合部の空乏層とつながらない程度に深く設定する必要がある。具体的な例を挙げると、浅いウェル領域の深さが1 μm 程度で、その濃度が $1 \times 10^{17} / \text{cm}^3$ 程度、深いウェル領域の濃度が $5 \times 10^{16} / \text{cm}^3$ で接合した場合は、その接合面から深いウェル領域の方向に $d5 = 200 \sim 250 \text{ nm}$ 程度の空乏層が延び、この接合面から浅いウェル領域の方向に $d6 = 100 \text{ nm}$ 程度の空乏層が延びる。この為、溝型分離領域304の深さは、最低1.3 μm 程度必要であり、マージンを持って、1.5~1.7 μm 程度の深さに設計すればよい。

10

産業上の利用可能性

以上の説明から明らかな様に、請求項1に記載の半導体装置では、ウェル領域の抵抗が従来のSOI基板のボディー抵抗に相当しており、このウェル領域の抵抗を非常に小さくすることができ、従来のSOI基板を用いたDTMOSよりも、遥かに高速の動作が可能となる。

15

また、浅いウェル領域を不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造としているので、ウェル領域の低抵抗を更に小さくすることができる。この様な構造においては、チャネル側の濃度の薄い領域によってしきい値を低くしたまま、かつソース領域及びドレイン領域の寄生容量を大きくすることなく（ソース領域及びドレイン領域との接合部における浅いウェル領域の不純物濃度が濃いと、空乏層が延びず、接合容量が大きくなる）、更に深いウェル領域側に在る浅いウェル領域の濃度の薄い領域と深いウェル領域の間の寄生容量を増大させることなく、浅いウェル領域の中央の濃度の濃い領域により、ウェル領域の抵抗を効果的に下げることが可能となる。

20

更に、請求項3に記載の半導体装置では、隣接する各深いウェル領域間に、更に深いウェル領域を介在させて、隣接する該各深いウェル領域を電氣的に分離す

25

ることが可能となる。特に、1つの半導体基板上にp型とn型の深いウェル領域を伴うような相補型の素子を構成した場合、逆導電型の更に深いウェルによって、各深いウェル領域間が分離されるため、n型の深いウェル領域をGNDに接地し、p型の深いウェル領域を電源電圧に設定することが可能となる。

- 5 また、請求項6、7及び8に記載の半導体装置の構造は、相補型の回路を実現するには好ましいものであって、トランジスタの専有面積を大きくすることなく、各ウェル領域間のバウンダリルール（nウェルとpウェル間において、ラッチアップが起こらない様にある一定間隔以上を離間させねばならない）を設けることなく自由にnチャネル型とpチャネル型の素子を構成することを可能にする。

請求の範囲

1. 半導体基板と、

該半導体基板に形成された第1導電型の深いウェル領域と、

5 該深いウェル領域に形成された第2導電型の浅いウェル領域と、

該浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、

該ソース領域及びドレイン領域の間に形成されたチャンネル領域と、

該チャンネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたゲート電極とを備え、

10 該ゲート電極は、該ゲート電極に対応する該浅いウェル領域と電氣的に接続され、

該浅いウェル領域は、隣接する他の浅いウェル領域から電氣的に分離されており、不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造を有する半導体装置。

15

2. 請求項1に記載の半導体装置において、相互に隣接する各浅いウェル領域は、該各浅いウェル領域よりも深く、深いウェル領域よりも浅い溝型分離構造によって電氣的に分離されている半導体装置。

20 3. 半導体基板と、

該半導体基板に形成された第1導電型の更に深いウェル領域と、

該更に深いウェル領域に形成された第2導電型の深いウェル領域と、

該第2導電型の深いウェル領域に形成された第1導電型の浅いウェル領域と、

該浅いウェル領域に形成された第2導電型のソース領域及びドレイン領域と、

25 該ソース領域及びドレイン領域の間に形成されたチャンネル領域と、

該チャンネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたゲート電極とを備え、

該ゲート電極は、該ゲート電極に対応する該浅いウェル領域と電氣的に接続され、

5 該深いウェル領域及び該浅いウェル領域は、隣接する他の深いウェル領域及び他の浅いウェル領域から電氣的に分離され、

該浅いウェル領域は、不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造を有する半導体装置。

4. 請求項3に記載の半導体装置において、相互に隣接する第2導電型の各深いウェル領域は、該各深いウェル領域よりも深く、第1導電型の更に深いウェル領域よりも浅い溝型分離構造によって電氣的に分離されている半導体装置。

10

5. 請求項1又は3に記載の半導体装置は、相補型の回路を構成する半導体装置。

15

6. 第1導電型の半導体基板と、
該半導体基板に形成された溝型分離領域と、
該溝型分離領域により分離された複数の島状の活性領域と、
各島状の活性領域のうちの少なくとも1つに形成され、上記溝型分離領域によって包囲された第2導電型の深いウェル領域と、

20

該溝型分離領域によって包囲された該深いウェル領域が存在する島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第1導電型の浅いウェル領域と、

該溝型分離領域によって包囲された該深いウェル領域が存在しない島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第2導電型の浅いウェル領域と、

25

該第1導電型の浅いウェル領域に形成された第2導電型のソース領域及びドレイン領域と、

該第2導電型の浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、

5 該第1、第2導電型のソース領域及びドレイン領域の間に形成された各チャンネル領域と、

該各チャンネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成された各ゲート電極とを備え、

10 該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に接続され、

該第1及び第2導電型の浅いウェル領域、及び第2導電型の深いウェル領域は、隣接する他の第1及び第2導電型の浅いウェル領域、及び他の第2導電型の深いウェル領域から電氣的に分離されている半導体装置。

15 7. 半導体基板と、

該半導体基板に形成された第1導電型の更に深いウェル領域と、

該更に深いウェル領域に形成された溝型分離領域と、

該溝型分離領域により分離された複数の島状の活性領域と、

20 各島状の活性領域のうちの少なくとも1つに形成され、上記溝型分離領域によって包囲された第2導電型の深いウェル領域と、

該溝型分離領域によって包囲された該深いウェル領域が存在する島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第1導電型の浅いウェル領域と、

25 該溝型分離領域によって包囲された該深いウェル領域が存在しない島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第2導電型の浅いウェル領域と、

該第1導電型の浅いウェル領域に形成された第2導電型のソース領域及びドレイン領域と、

該第2導電型の浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、

5 該第1、第2導電型のソース領域及びドレイン領域の間に形成された各チャンネル領域と、

 該各チャンネル領域上に形成されたゲート絶縁膜と、

 該ゲート絶縁膜上に形成された各ゲート電極とを備え、

 該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に
10 接続され、

 該第1及び第2導電型の浅いウェル領域、及び第2導電型の深いウェル領域は、隣接する他の第1及び第2導電型の浅いウェル領域、及び他の第2導電型の深いウェル領域から電氣的に分離されている半導体装置。

15 8. 第1導電型の半導体基板と、

 該半導体基板に形成された溝型分離領域と、

 該溝型分離領域により分離された複数の島状の活性領域と、

 各島状の活性領域のうちの少なくとも1つに形成され、上記溝型分離領域によって包囲された第1導電型の深いウェル領域と、

20 第1導電型の深いウェルが存在しない他の島状の活性領域に形成され、上記溝型分離領域によって包囲された第2導電型の深いウェル領域と、

 該第1導電型の深いウェル領域上部に形成され、上記溝型分離領域によって包囲された第2導電型の浅いウェル領域と、

 該第2導電型の深いウェル領域上部に形成され、上記溝型分離領域によって包
25 囲された第1導電型の浅いウェル領域と、

 該第1導電型の浅いウェル領域に形成された第2導電型のソース領域及びドレ

イン領域と、

該第2導電型の浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、

5 該第1、第2導電型のソース領域及びドレイン領域の間に形成された各チャンネル領域と、

該各チャンネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成された各ゲート電極とを備え、

該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に接続され、

10 該第1及び第2導電型の浅いウェル領域、及び第1及び第2導電型の深いウェル領域は、隣接する他の第1及び第2導電型の浅いウェル領域、及び他の第1及び第2導電型の深いウェル領域から電氣的に分離されている半導体装置。

9. 上記請求項6又は8に記載の半導体装置における半導体基板及び深いウェル領域、又は請求項7に記載の半導体装置における半導体基板、深いウェル領域及び更に深いウェル領域は、一定電圧に設定されている半導体装置。

10. 請求項6～8に記載の半導体装置における浅いウェル領域は、不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造を有する半導体装置。

11. 請求項1、3又は10に記載の半導体装置における浅いウェル領域では、不純物濃度の薄い領域とソース領域並びにドレイン領域の接合により形成される空乏層が不純物濃度の濃い領域に接しない半導体装置。

12. 請求項1、3又は10に記載の半導体装置における浅いウェル領域の不

純物濃度の濃い領域では、そのピーク位置での不純物濃度が $1 \times 10^{21} / \text{cm}^3$
 $\sim 5 \times 10^{17} / \text{cm}^3$ の濃度範囲である半導体装置。

13. 請求項1、3又は10に記載の半導体装置における浅いウェル領域の不
5 純物濃度の薄い領域では、その不純物濃度が $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{16} /$
 cm^3 の濃度範囲である半導体装置。

補正書の請求の範囲

[1998年4月28日(28.04.98)国際事務局受理:出願当初の請求の範囲11, 12及び13は補正された;新しい請求の範囲14及び15が加えられた;他の請求の範囲は変更なし。(6頁)]

1. 半導体基板と、

該半導体基板に形成された第1導電型の深いウェル領域と、

5 該深いウェル領域に形成された第2導電型の浅いウェル領域と、

該浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、

該ソース領域及びドレイン領域の間に形成されたチャネル領域と、

該チャネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたゲート電極とを備え、

10 該ゲート電極は、該ゲート電極に対応する該浅いウェル領域と電氣的に接続され、

該浅いウェル領域は、隣接する他の浅いウェル領域から電氣的に分離されており、不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造を有する半導体装置。

15

2. 請求項1に記載の半導体装置において、相互に隣接する各浅いウェル領域は、該各浅いウェル領域よりも深く、深いウェル領域よりも浅い溝型分離構造によって電氣的に分離されている半導体装置。

20 3. 半導体基板と、

該半導体基板に形成された第1導電型の更に深いウェル領域と、

該更に深いウェル領域に形成された第2導電型の深いウェル領域と、

該第2導電型の深いウェル領域に形成された第1導電型の浅いウェル領域と、

該浅いウェル領域に形成された第2導電型のソース領域及びドレイン領域と、

25 該ソース領域及びドレイン領域の間に形成されたチャネル領域と、

該チャネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたゲート電極とを備え、

該ゲート電極は、該ゲート電極に対応する該浅いウェル領域と電氣的に接続され、

5 該深いウェル領域及び該浅いウェル領域は、隣接する他の深いウェル領域及び他の浅いウェル領域から電氣的に分離され、

該浅いウェル領域は、不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造を有する半導体装置。

4. 請求項 3 に記載の半導体装置において、相互に隣接する第 2 導電型の各深いウェル領域は、該各深いウェル領域よりも深く、第 1 導電型の更に深いウェル領域よりも浅い溝型分離構造によって電氣的に分離されている半導体装置。

5. 請求項 1 又は 3 に記載の半導体装置は、相補型の回路を構成する半導体装置。

15

6. 第 1 導電型の半導体基板と、

該半導体基板に形成された溝型分離領域と、

該溝型分離領域により分離された複数の島状の活性領域と、

20 各島状の活性領域のうちの少なくとも 1 つに形成され、上記溝型分離領域によって包囲された第 2 導電型の深いウェル領域と、

該溝型分離領域によって包囲された該深いウェル領域が存在する島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第 1 導電型の浅いウェル領域と、

25 該溝型分離領域によって包囲された該深いウェル領域が存在しない島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第 2 導電型の浅いウェル領域と、

該第 1 導電型の浅いウェル領域に形成された第 2 導電型のソース領域及びドレイン領域と、

該第 2 導電型の浅いウェル領域に形成された第 1 導電型のソース領域及びドレイン領域と、

5 該第 1、第 2 導電型のソース領域及びドレイン領域の間に形成された各チャンネル領域と、

 該各チャンネル領域上に形成されたゲート絶縁膜と、

 該ゲート絶縁膜上に形成された各ゲート電極とを備え、

 該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に
10 接続され、

 該第 1 及び第 2 導電型の浅いウェル領域、及び第 2 導電型の深いウェル領域は、隣接する他の第 1 及び第 2 導電型の浅いウェル領域、及び他の第 2 導電型の深いウェル領域から電氣的に分離されている半導体装置。

15 7. 半導体基板と、

 該半導体基板に形成された第 1 導電型の更に深いウェル領域と、

 該更に深いウェル領域に形成された溝型分離領域と、

 該溝型分離領域により分離された複数の島状の活性領域と、

 各島状の活性領域のうちの少なくとも 1 つに形成され、上記溝型分離領域によ
20 って包囲された第 2 導電型の深いウェル領域と、

 該溝型分離領域によって包囲された該深いウェル領域が存在する島状の活性領域に対して与えられ、該溝型分離領域によって包囲された第 1 導電型の浅いウェル領域と、

 該溝型分離領域によって包囲された該深いウェル領域が存在しない島状の活性
25 領域に対して与えられ、該溝型分離領域によって包囲された第 2 導電型の浅いウェル領域と、

該第1導電型の浅いウェル領域に形成された第2導電型のソース領域及びドレイン領域と、

該第2導電型の浅いウェル領域に形成された第1導電型のソース領域及びドレイン領域と、

5 該第1、第2導電型のソース領域及びドレイン領域の間に形成された各チャンネル領域と、

該各チャンネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成された各ゲート電極とを備え、

該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に
10 接続され、

該第1及び第2導電型の浅いウェル領域、及び第2導電型の深いウェル領域は、隣接する他の第1及び第2導電型の浅いウェル領域、及び他の第2導電型の深いウェル領域から電氣的に分離されている半導体装置。

15 8. 第1導電型の半導体基板と、

該半導体基板に形成された溝型分離領域と、

該溝型分離領域により分離された複数の島状の活性領域と、

各島状の活性領域のうちの少なくとも1つに形成され、上記溝型分離領域によって包囲された第1導電型の深いウェル領域と、

20 第1導電型の深いウェルが存在しない他の島状の活性領域に形成され、上記溝型分離領域によって包囲された第2導電型の深いウェル領域と、

該第1導電型の深いウェル領域上部に形成され、上記溝型分離領域によって包囲された第2導電型の浅いウェル領域と、

該第2導電型の深いウェル領域上部に形成され、上記溝型分離領域によって包
25 囲された第1導電型の浅いウェル領域と、

該第1導電型の浅いウェル領域に形成された第2導電型のソース領域及びドレ

イン領域と、

該第 2 導電型の浅いウェル領域に形成された第 1 導電型のソース領域及びドレイン領域と、

5 該第 1、第 2 導電型のソース領域及びドレイン領域の間に形成された各チャンネル領域と、

該各チャンネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成された各ゲート電極とを備え、

該各ゲート電極は、該各ゲート電極に対応する該各浅いウェル領域と電氣的に接続され、

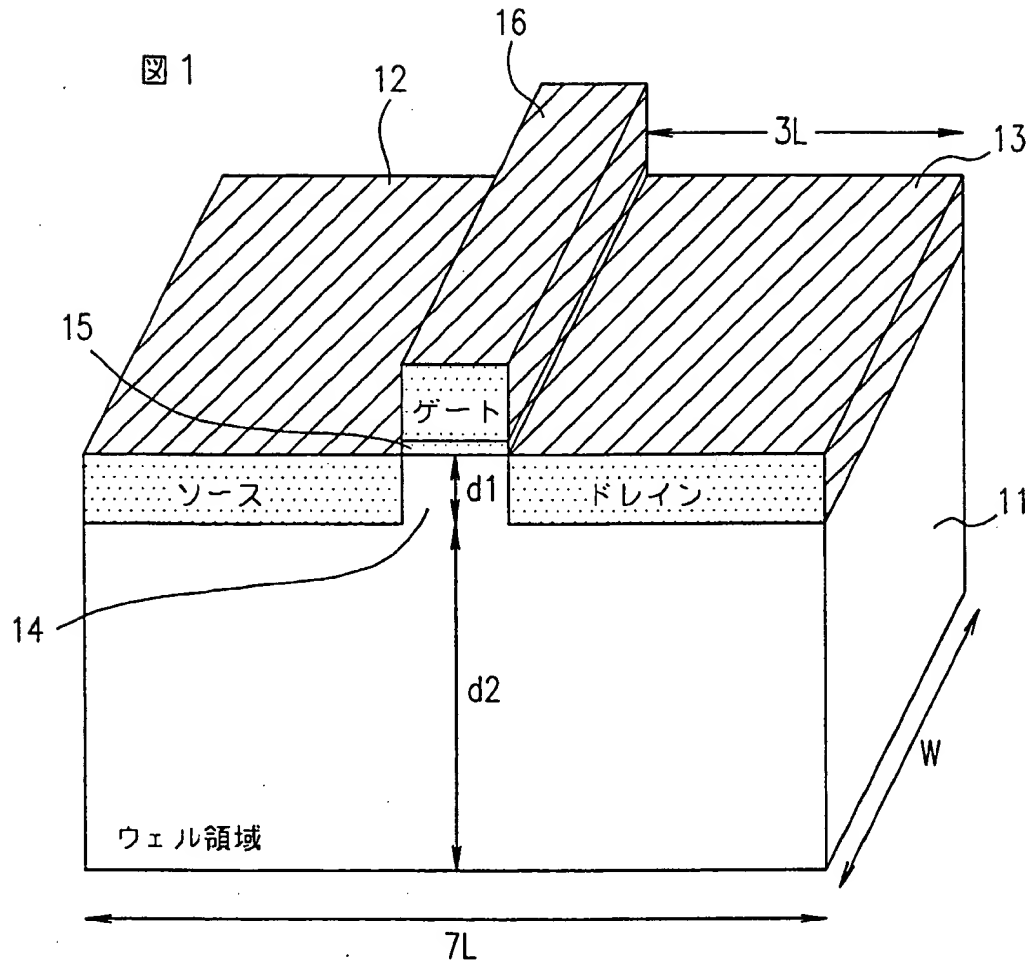
10 該第 1 及び第 2 導電型の浅いウェル領域、及び第 1 及び第 2 導電型の深いウェル領域は、隣接する他の第 1 及び第 2 導電型の浅いウェル領域、及び他の第 1 及び第 2 導電型の深いウェル領域から電氣的に分離されている半導体装置。

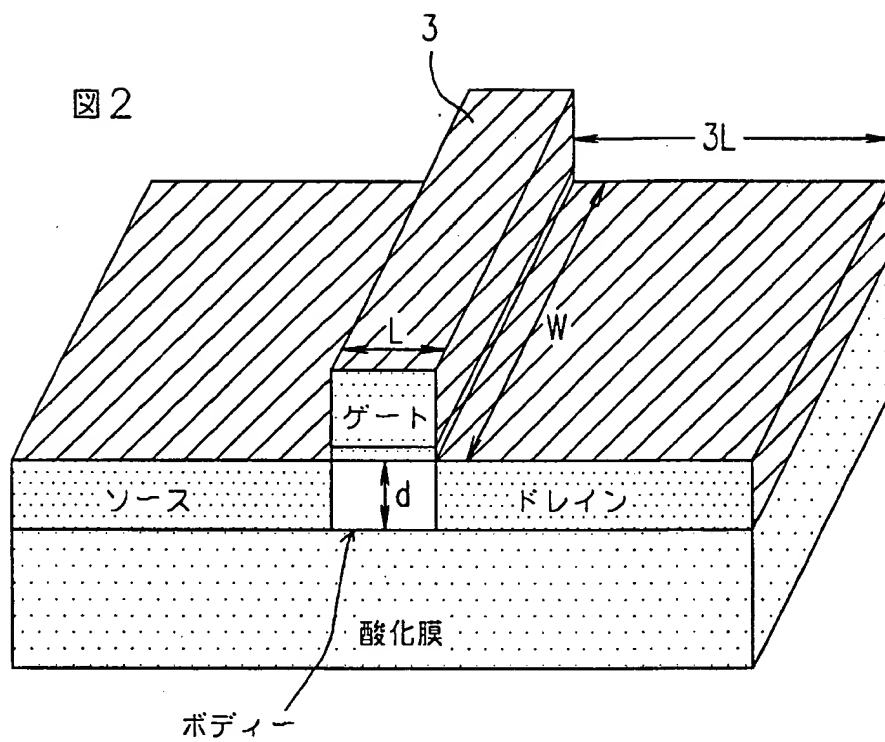
9. 上記請求項 6 又は 8 に記載の半導体装置における半導体基板及び深いウェル領域、又は請求項 7 に記載の半導体装置における半導体基板、深いウェル領域及び更に深いウェル領域は、一定電圧に設定されている半導体装置。

10. 請求項 6～8 に記載の半導体装置における浅いウェル領域は、不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造を有する半導体装置。

11. (補正後) 請求項 1、2、3、4、10、14 又は 15 に記載の半導体装置における浅いウェル領域では、不純物濃度の薄い領域とソース領域並びにドレイン領域の接合により形成される空乏層が不純物濃度の濃い領域に接しない半導体装置。

12. (補正後) 請求項1、2、3、4、10、14又は15に記載の半導体装置における浅いウェル領域の不純物濃度の濃い領域では、そのピーク位置での不純物濃度が $1 \times 10^{21} / \text{cm}^3 \sim 5 \times 10^{17} / \text{cm}^3$ の濃度範囲である半導体装置。
- 5 13. (補正後) 請求項1、2、3、4、10、14又は15に記載の半導体装置における浅いウェル領域の不純物濃度の薄い領域では、その不純物濃度が $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ の濃度範囲である半導体装置。
- 10 14. (追加) 請求項2又は4に記載の半導体装置は、相補型の回路を構成する半導体装置。
15. (追加) 請求項9に記載の半導体装置における浅いウェル領域は、不純物濃度の濃い領域を不純物濃度の薄い領域によって挟み込んだ構造を有する半導体装置。





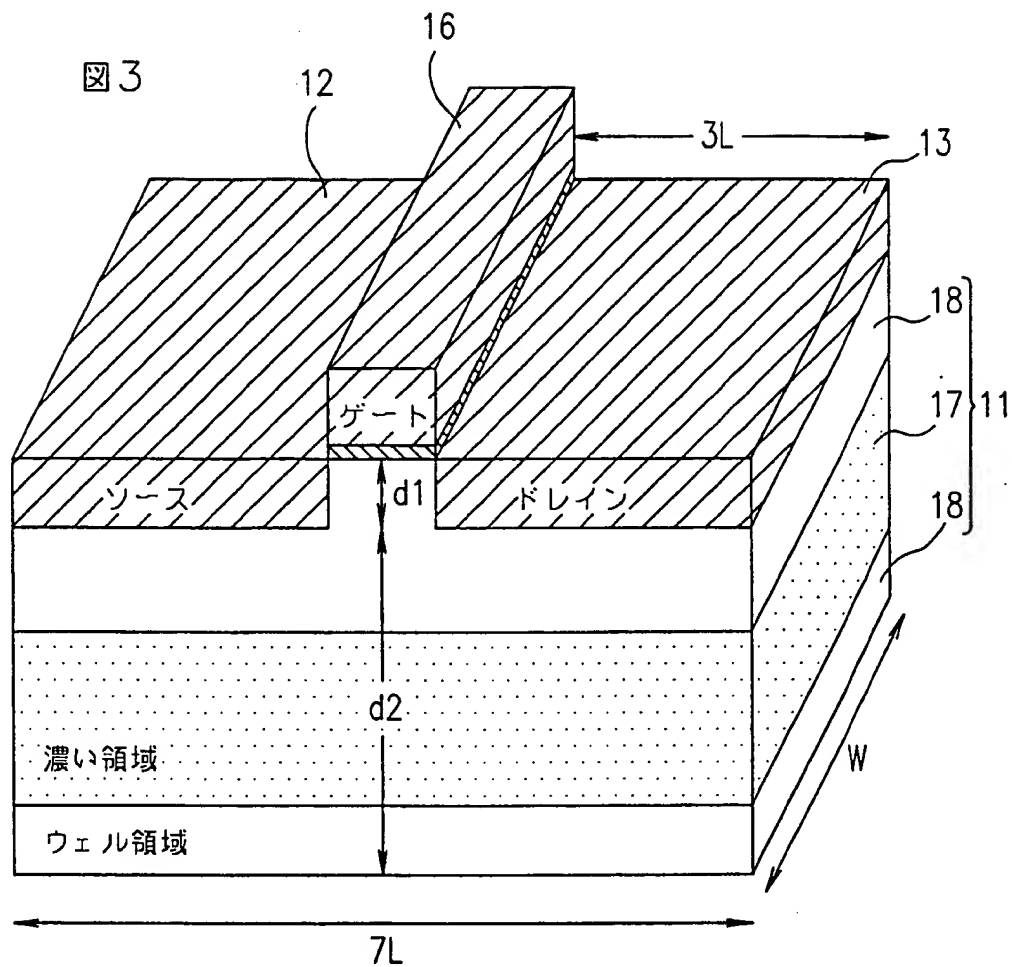
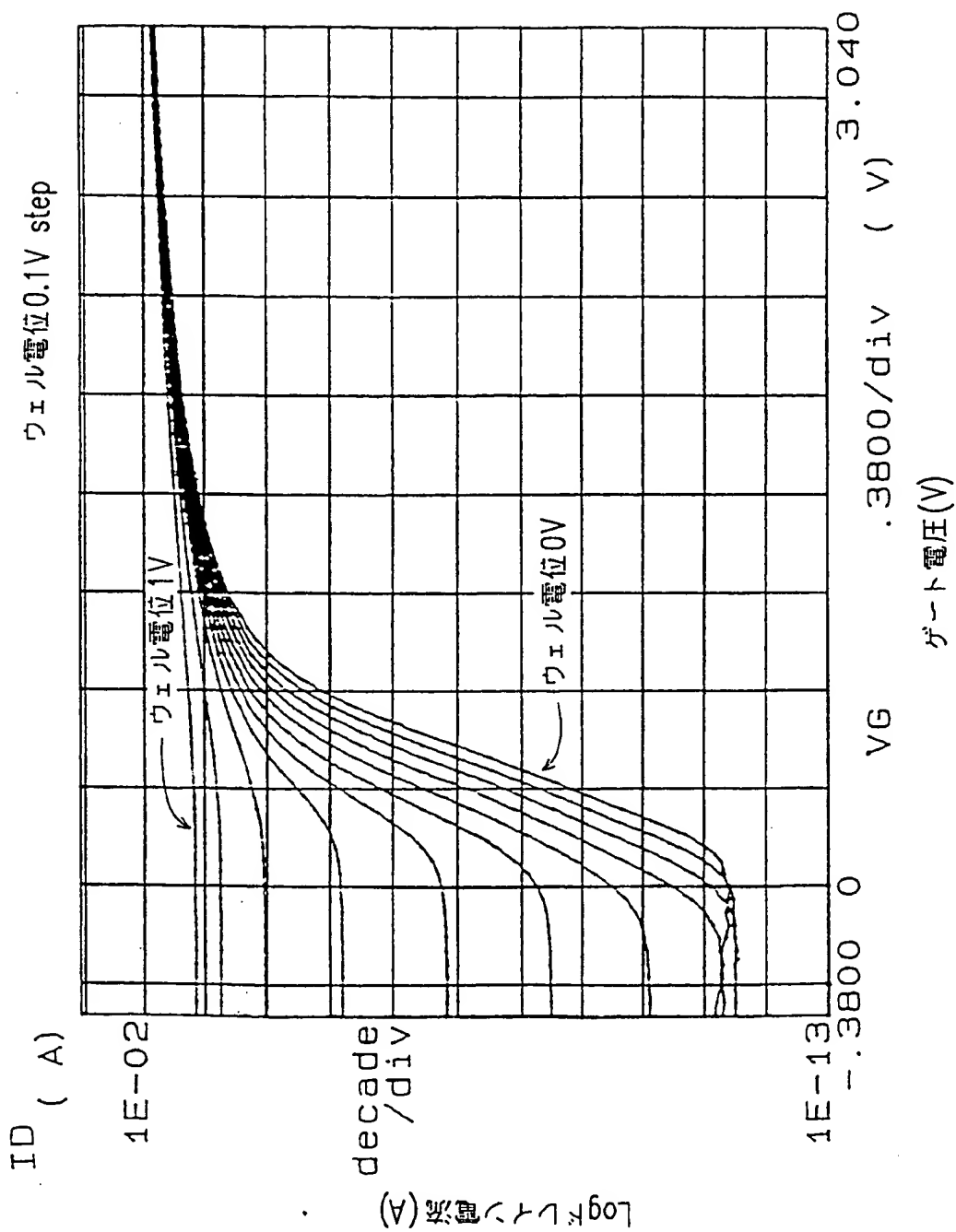


図4



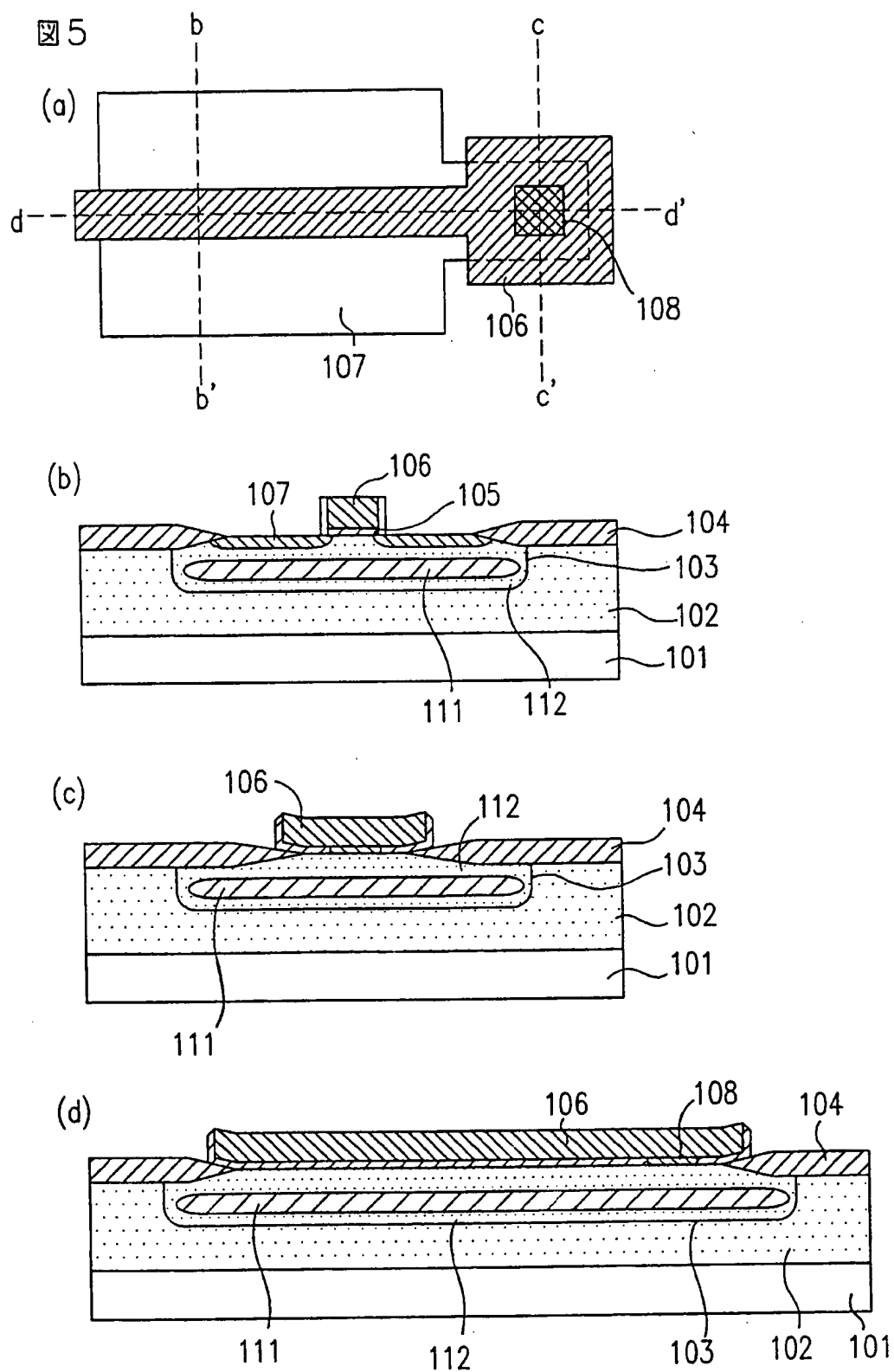


図 6

Nチャネルトランジスタ

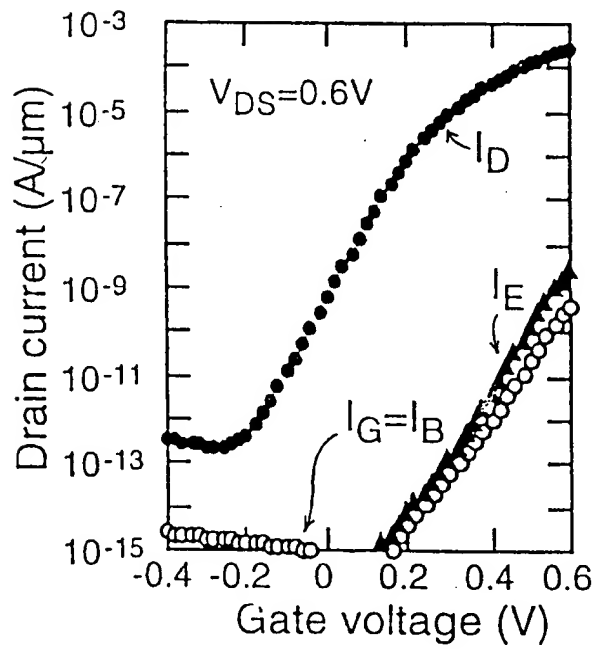
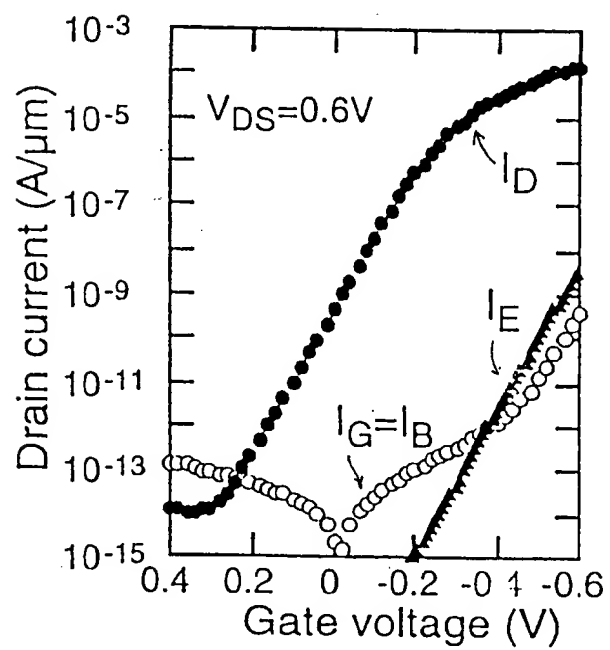
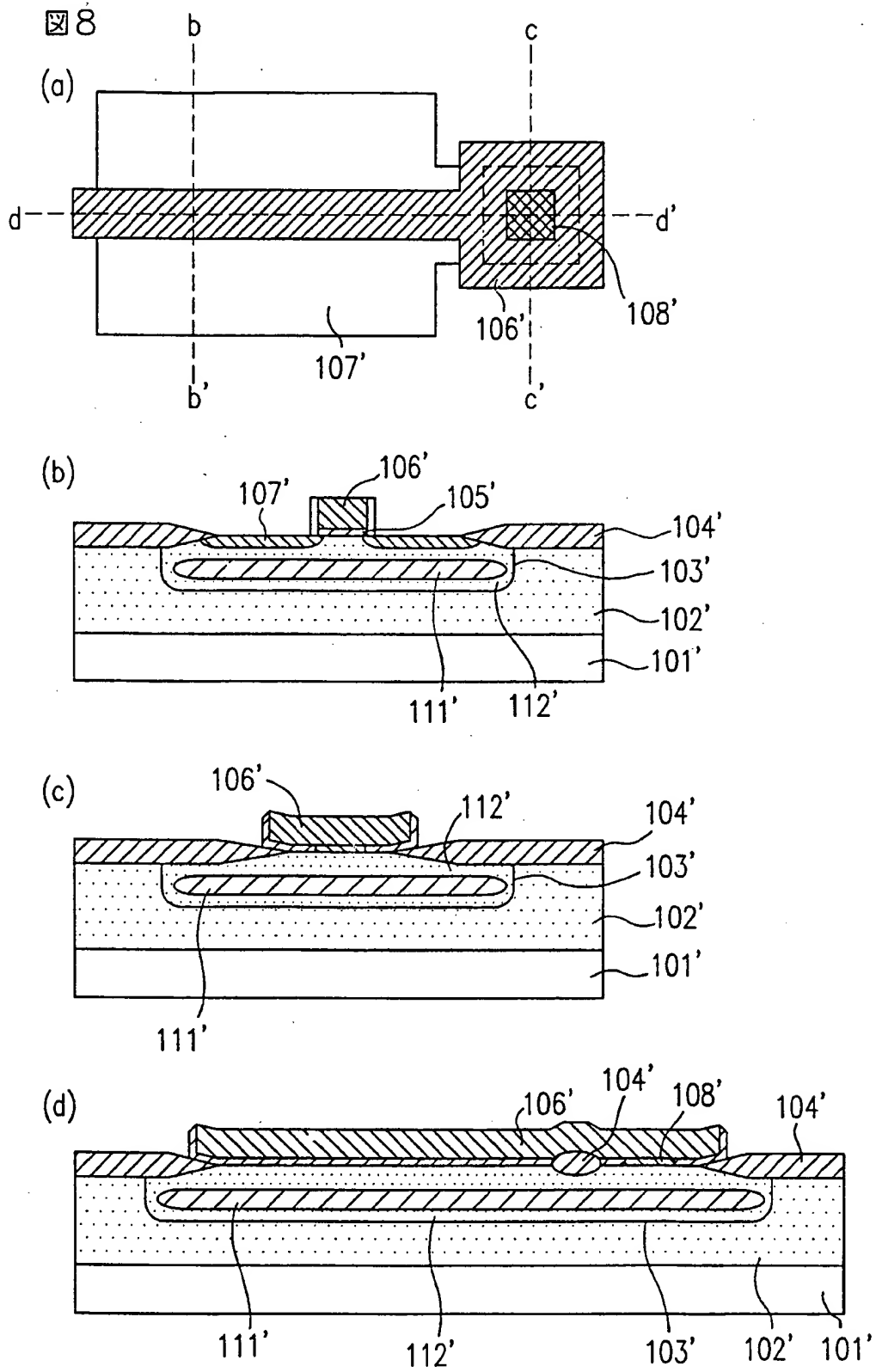
 I_D ドレイン電流 I_E エミッタ電流 $I_G=I_B$ ゲート電流 (ベース電流)

図 7

Pチャネルトランジスタ





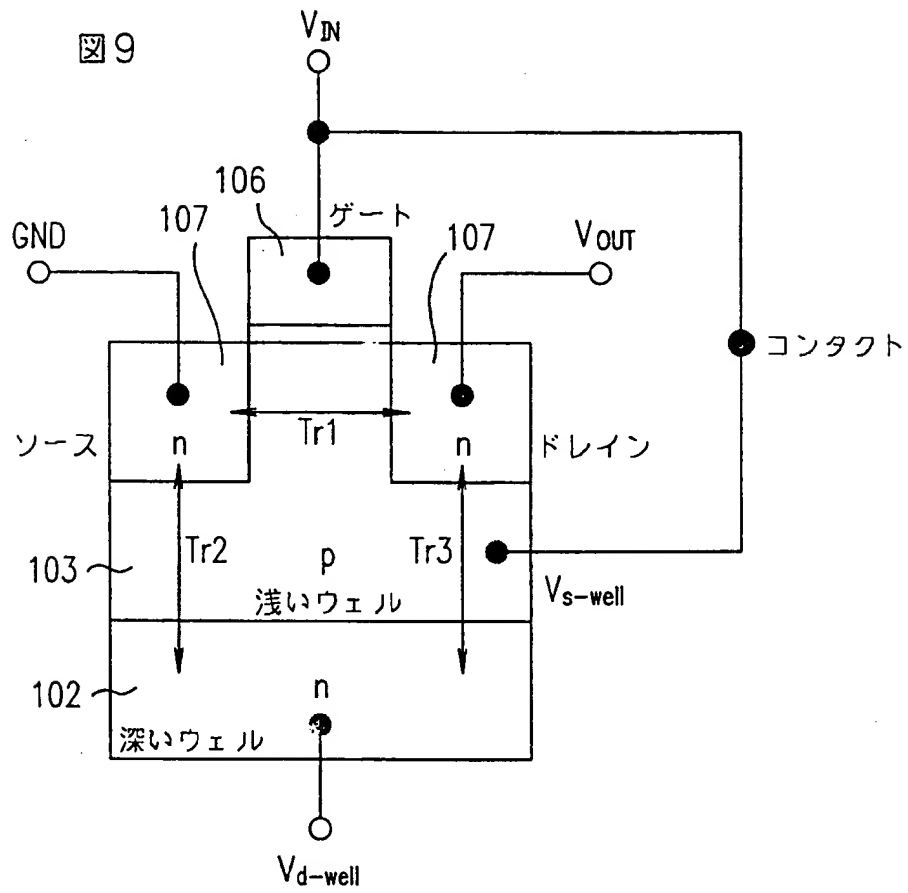


図 10

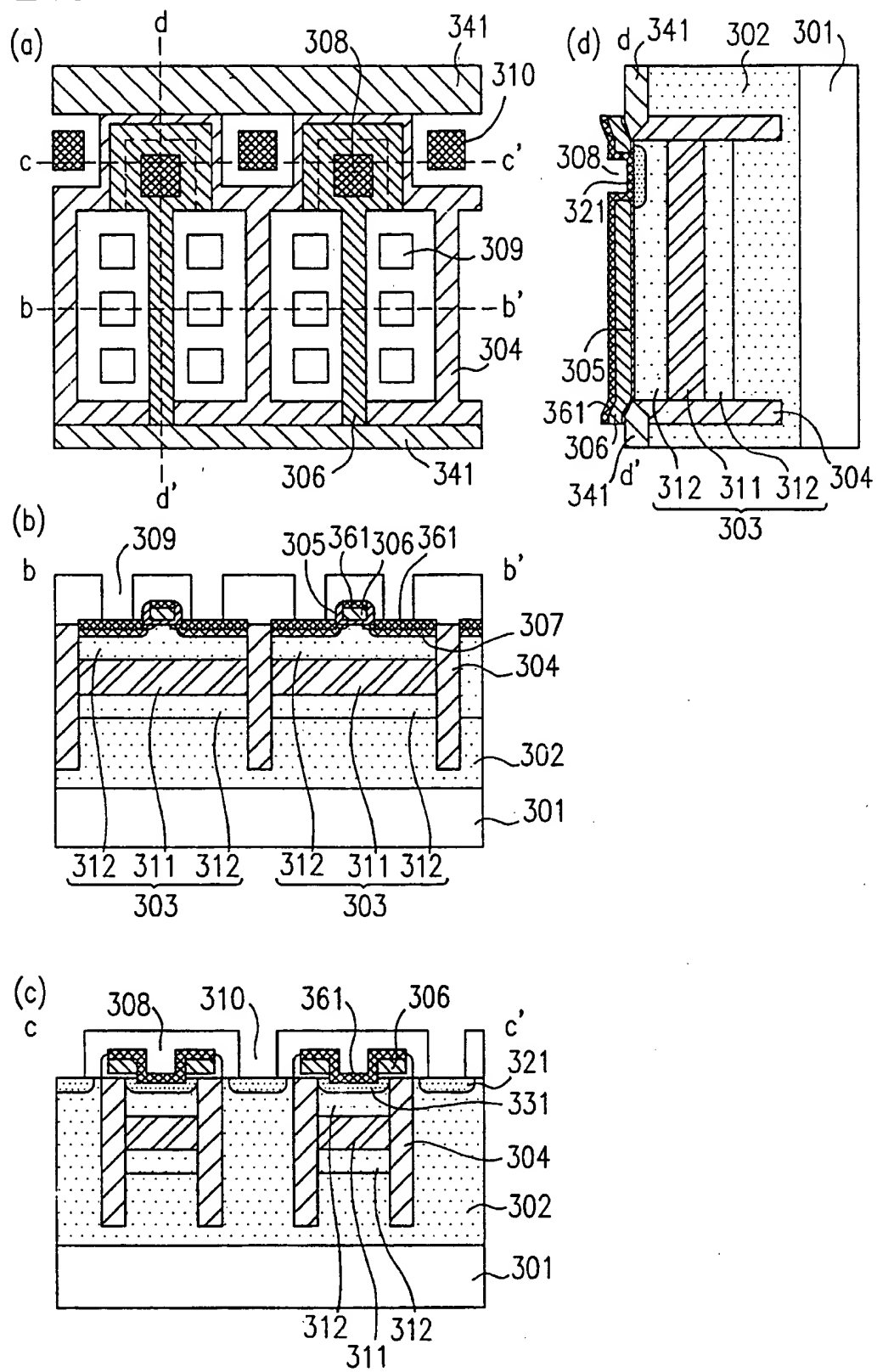


図 11

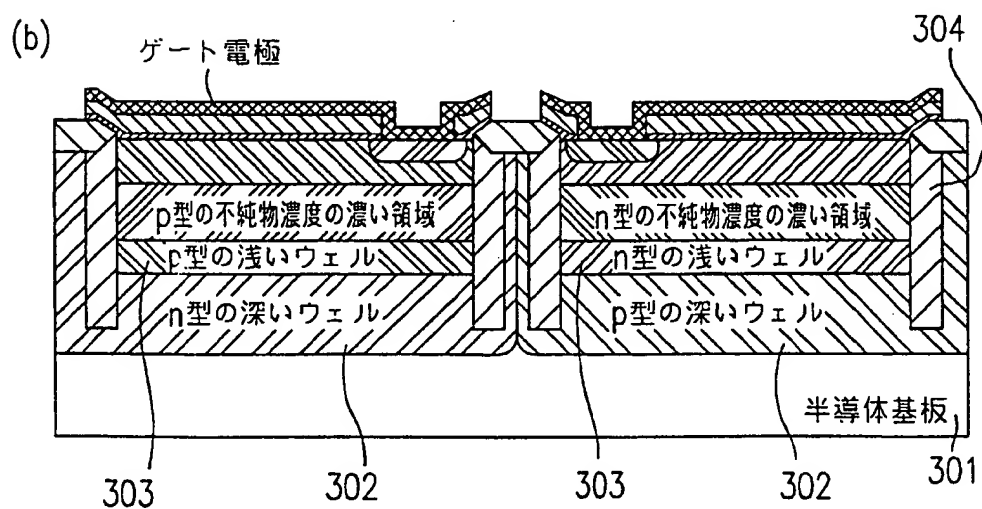
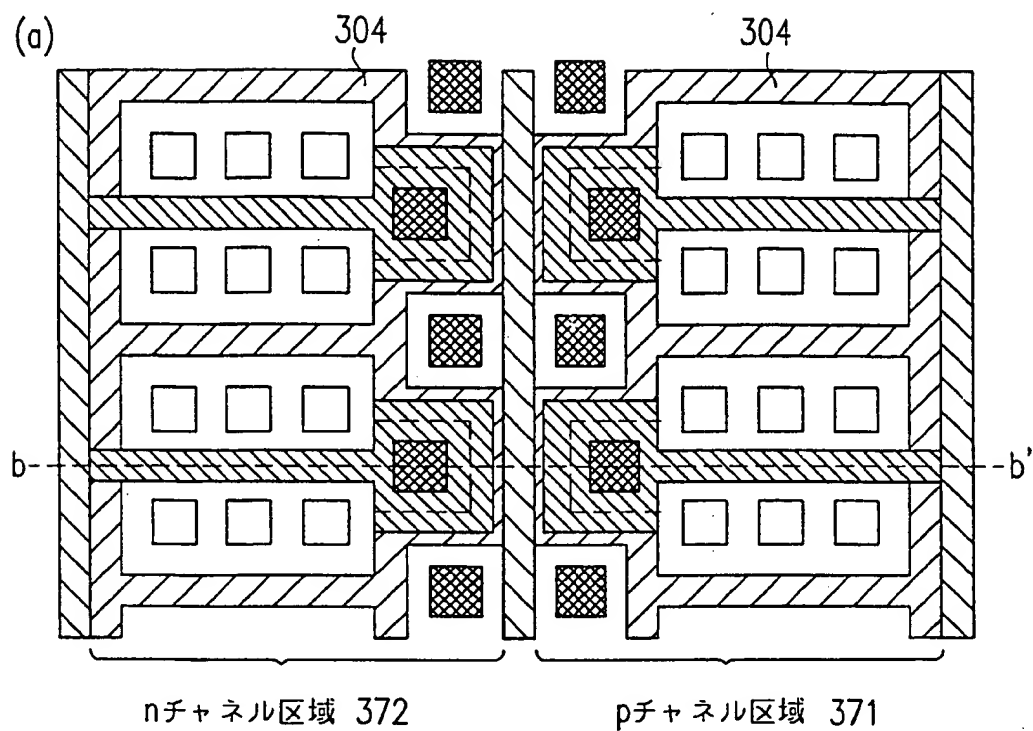


图 12

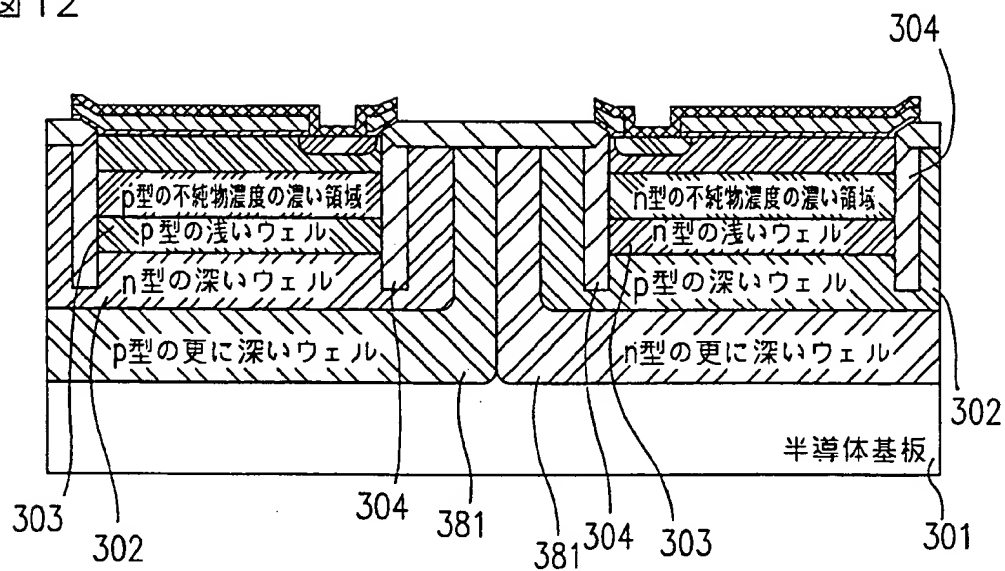
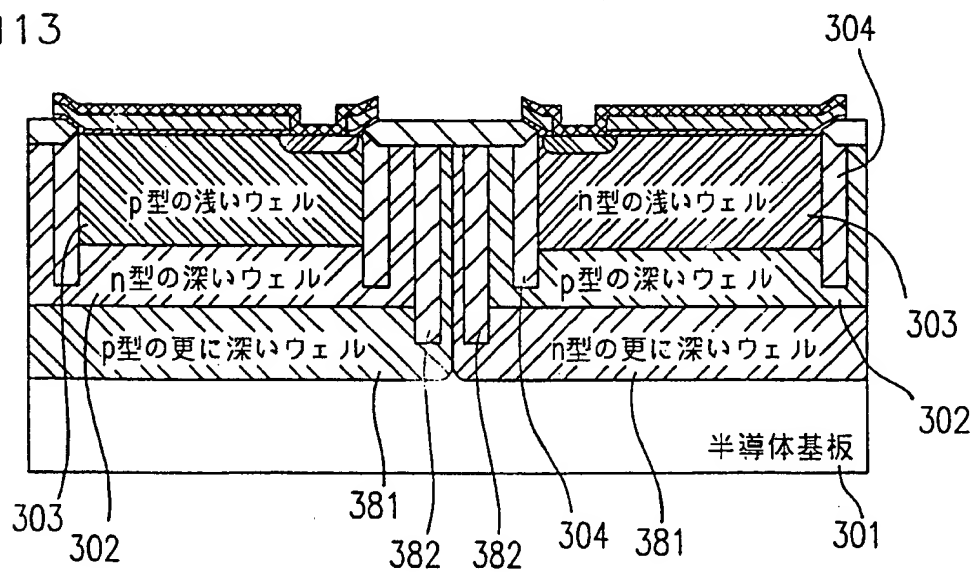
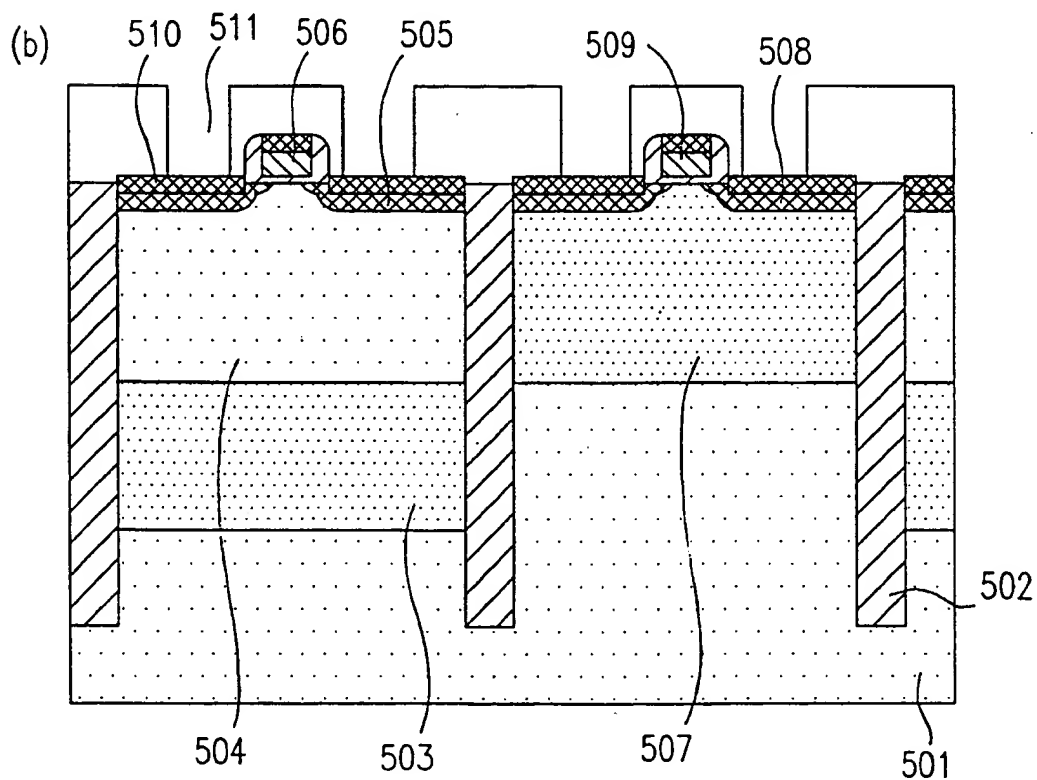
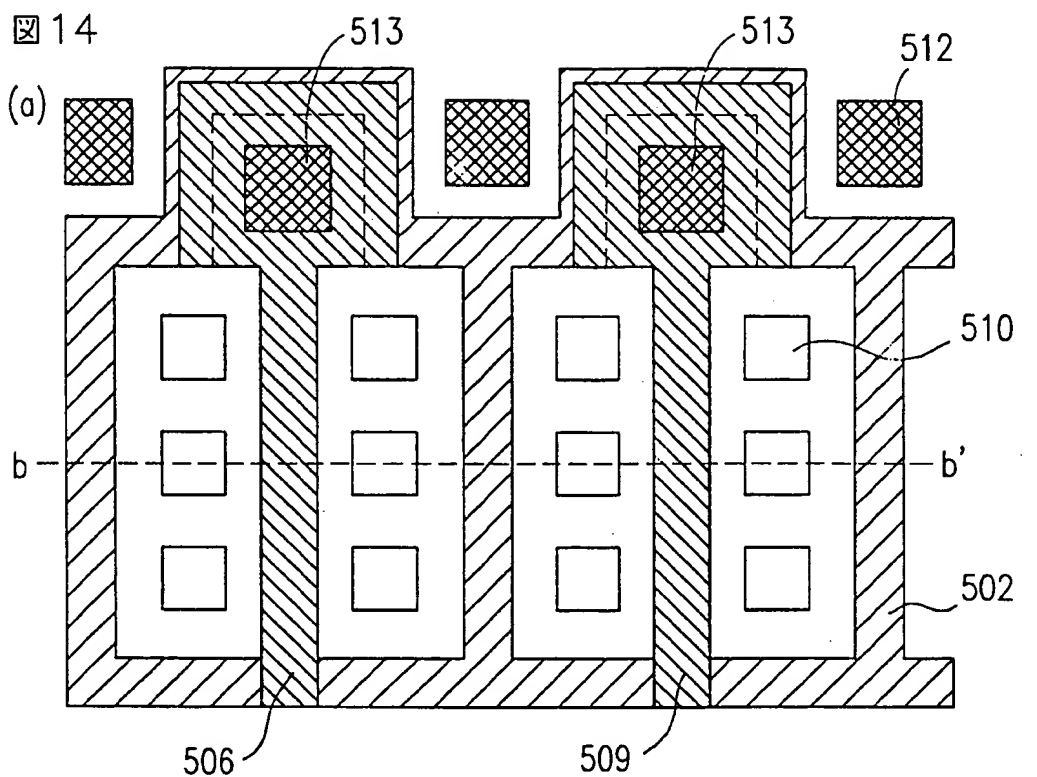


圖 13





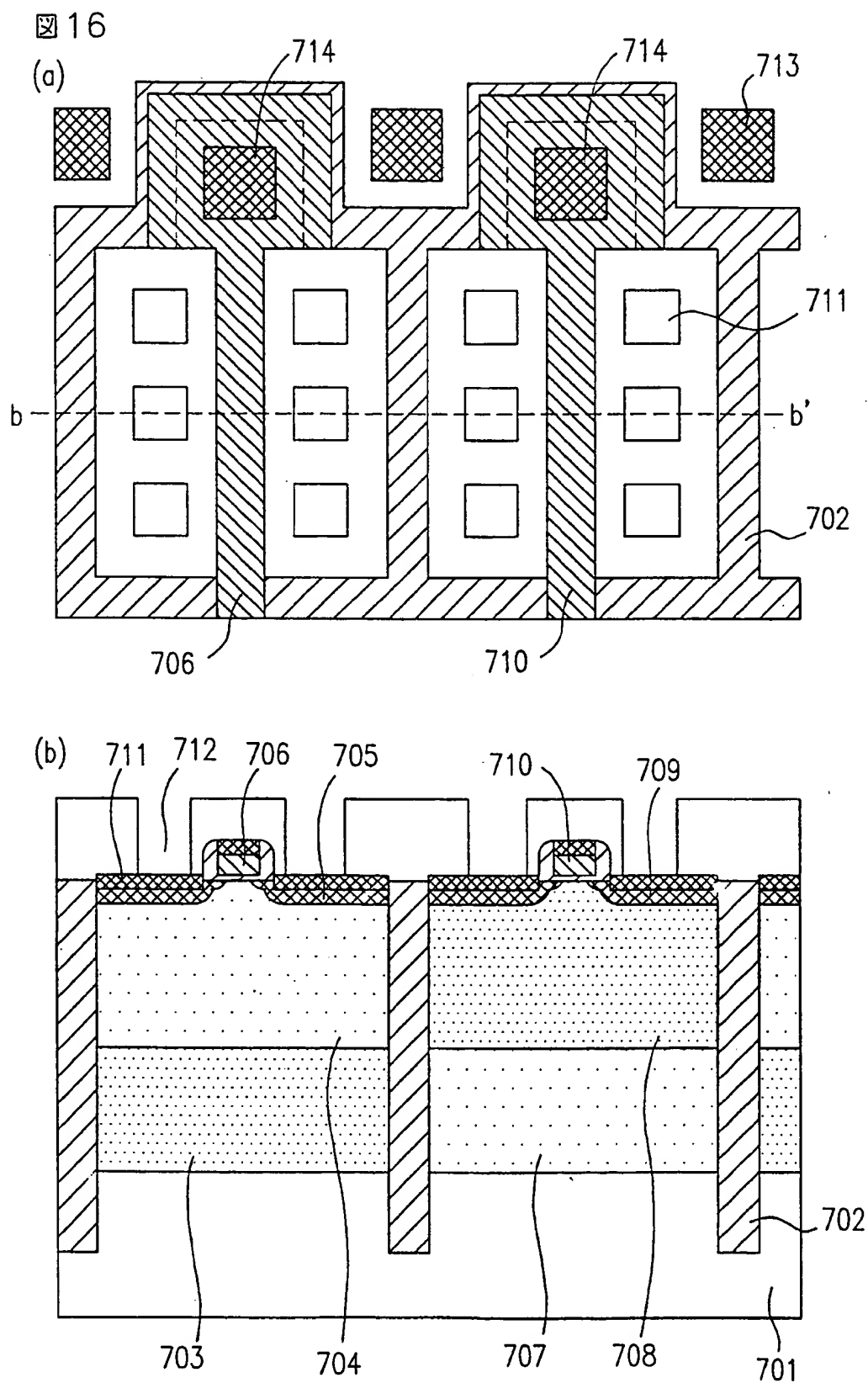
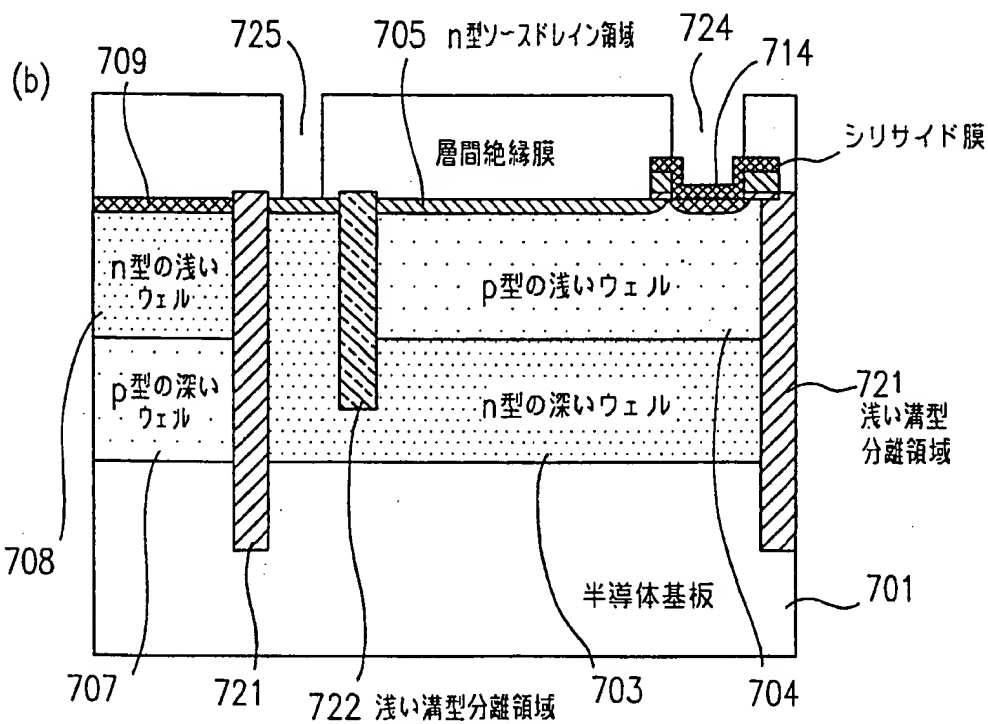
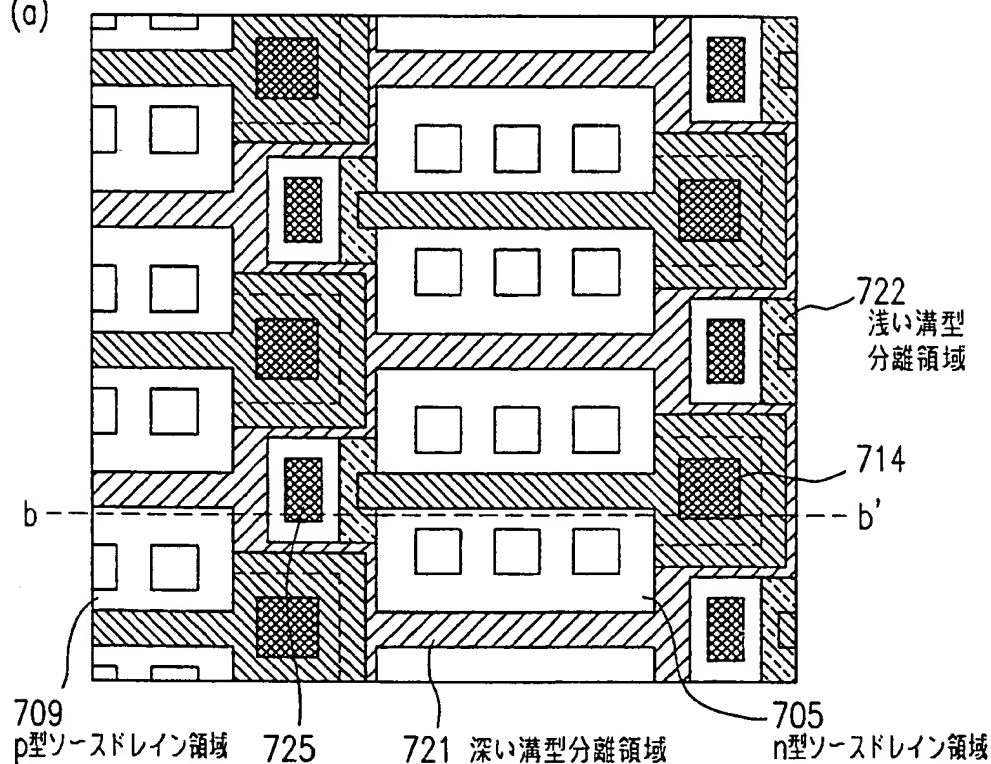
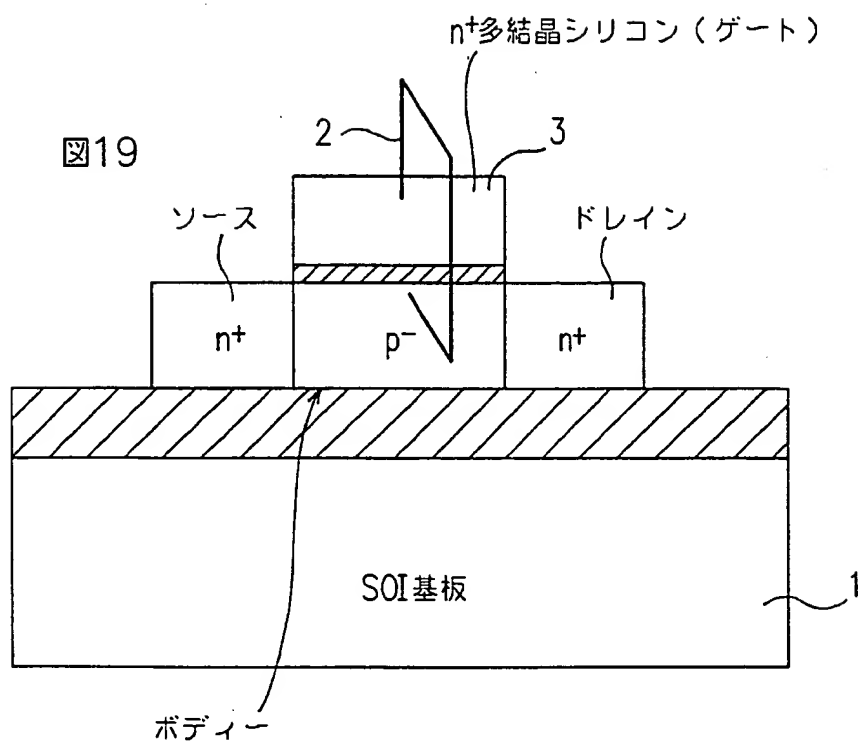


図 17

(a)





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/04344

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L27/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L27/08, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1964 - 1996
Kokai Jitsuyo Shinan Koho	1971 - 1996
Toroku Jitsuyo Shinan Koho	1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 06-151734, A (Sony Corp.), May 31, 1994 (31. 05. 94), Par. Nos. 10 to 21 (Family: none)	1, 2, 3, 4, 5, 6, 8, 9, 10
Y	JP, 61-18597, A (NEC Corp.), August 19, 1986 (19. 08. 86), Page 2, lower right column, line 6 to page 4, upper left column, line 15 (Family: none)	1, 2, 3, 4, 5, 6, 8, 9, 10
Y	JP, 05-299591, A (NEC Corp.), November 12, 1993 (12. 11. 93), Par. Nos. 7 to 26 (Family: none)	8, 9, 10
Y	JP, 07-335837, A (Hitachi, Ltd.), December 22, 1995 (22. 12. 95), Par. Nos. 24 to 66 (Family: none)	3, 4
A	JP, 06-53422, A (Hitachi, Ltd.), February 25, 1994 (25. 02. 94), Par. Nos. 15 to 46 (Family: none)	11, 12, 13

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search

February 24, 1998 (24. 02. 98)

Date of mailing of the international search report

March 3, 1998 (03. 03. 98)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/04344

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 63-131540, A (Seiko Epson Corp.), June 3, 1988 (03. 06. 88), Page 2, upper right column, line 6 to lower left column, line 17 (Family: none)	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H01L 27/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H01L 27/08, H01L 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1964-1996年
 日本国公開実用新案公報 1971-1996年
 日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P、06-151734、A(ソニー株式会社)、31.5月1994 (31.05.94)、第10~21パラグラフ、(ファミリーなし)	1, 2, 3, 4, 5, 6, 8, 9, 10
Y	J P、61-18597、A(日本電気株式会社)、19.8月.1986 (19.08.86)、第2頁右下欄第6行~第4頁左上欄第15行、(ファミリーなし)	1, 2, 3, 4, 5, 6, 8, 9, 10
Y	J P、05-299591、A(日本電気株式会社)、12.11月1993 (12.11.93)、第7~26パラグラフ、(ファミリーなし)	8, 9, 10
Y	J P、07-335837、A(株式会社日立製作所)、22.12月1995 (22.12.95)、第24~66パラグラフ、(ファミリーなし)	3, 4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

24.02.98

国際調査報告の発送日

03.03.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 淳一

印

4M 9055

電話番号 03-3581-1101 内線 6882

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP、06-53422、A(株式会社日立製作所)、25. 2月1994 (25. 02. 94)、第15~46パラグラフ、(ファミリーなし)	11、12、13
A	JP、63-131540、A(セイコーエプソン株式会社)、3. 6月1988 (03. 06. 88)、第2頁右上欄第6行~同頁左下欄第17行、(ファミリーなし)	7